

Новости российского рынка

Компоненты

Повышающий высоковольтный DC/DC-конвертор от компании austriamicrosystems

Микросхема AS1340 представляет собой микро мощный повышающий DC/DC-конвертор с максимальным током внутреннего MOSFET-ключа 1,4 А. При входном напряжении 3,3 В конвертор может

обеспечить выходной ток 30 мА при выходном напряжении 36 В или 100 мА при выходном напряжении 12 В. Напряжение питания микросхемы 2,7...5,5 В, напряжение, подаваемое на MOSFET-ключ, 2,7...50 В. Преобразование происходит на фиксированной частоте 1 МГц, высокая частота преобразования позволяет минимизировать внешние компоненты. Функция Power-OK позволяет сигнализировать о более чем 10-% падении напряжения на

выходе конвертора от заданного значения. Отличительной особенностью микросхемы является наличие «спящего» режима с током потребления менее 0,1 мкА. Микросхема выпускается в маленьком корпусе типа TDFN-8 размером 3 × 3 мм и предназначена для работы в схемах питания LCD- и OLED-дисплеев для мобильных устройств.

www.prochip.ru
Тел. (495) 232-2522

Узлы и модули

Прецизионные термокомпенсированные кварцевые генераторы ГК202-ТК и ГК203-ТК

ОАО «МОРИОН» (С.-Петербург) разработало новые типы кварцевых термокомпенсированных генераторов – ГК202-ТК и ГК203-ТК. Эти генераторы обеспечивают



уровни стабильности, характерные для термостатированных генераторов (долговременная нестабильность частоты – до $\pm 1 \times 10^{-7}$ /год и температурная нестабильность частоты до $\pm 5 \times 10^{-6}$), при этом сохраняя такие преимущества термокомпенсированных генераторов, как малое потребление (<100 мВт) и быстрый выход на режим (<0,1 с).

Генераторы выполнены в стандартном корпусе 36 × 27 мм с высотой 12,7...16,0 мм с перспективой уменьшения до 10,0 мм. На сегодня заказчикам предлагаются стандартные частоты 10,0 и 12,8 МГц и варианты исполнения как с 12-В, так и с 5-В питанием.

www.morion.com.ru

Тел. (812) 350-7572, (812) 350-9243

Новые ЖК-дисплеи AU2025 и CM2225 с высокой яркостью от LiteMax

После выхода Windows Vista в январе 2007 г. всё больше и больше пользователей испытывают потребность в новых ЖК-дисплеях. Широкий формат, короткое время отклика и высокое разрешение стали основными требованиями не только на

рынке коммерческого оборудования, но также в таких промышленных приложениях, как цифровые видеосети и наружные информационные киоски. ЖК-дисплеи LiteMax с высокой яркостью всегда характеризуются новаторскими конструктивными решениями. LiteMax представляет новейшие добавления в ряду ЖК-дисплеев с высокой яркостью с системой задней подсветки на люминесцентных лампах с холодным катодом – AU2025 и CM 2225.

Дисплеи AU2025 и CM2225 созданы на основе плоских панелей компаний AUO и CMO с форматом экранов 16 : 9 и совершенно новой конструкцией системы задней подсветки на основе люминесцентных ламп, имеющих яркость 1000 кд/м² и контрастность 700 : 1. Обе модели имеют потребляемую мощность 120 Вт. Для представления яркого и высококачественного изображения выбраны панели с высоким разрешением: формат изображения WXGA для AU2025 и WSXGA для CM2225. Обе модели обеспечивают время оптического отклика 8 мс, что позволяет применять дисплеи для показа рекламы и видеороликов с динамичным изображением. Для обеспечения всех приложений заказчиков также был разработан совершенный инвертер LI1222 для панелей CM2225 и AU2025. Инвертер обеспечивает управление яркостью системы задней подсветки от самого низкого уровня до полной яркости, что является чрезвычайно важным для применений в морской аппаратуре, навигационных системах и наружных установках. LiteMax также предоставляет платы управления серии AD для обеспечения многообразных интерфейсных возможностей: VGA, DVI, AV, S-video и Composite. Для дисплеев серий LD и LO также доступны устанавливаемые по заказу защитные стекла и сенсорные экраны.

Технические параметры дисплея LO2025:

- размер экрана, дюймов: 20;
- размер пиксела, мм: 0,325;



- разрешение: 1366 × 768;
 - количество отображаемых цветов: 16,2 млн.;
 - угол обзора: 160° в обеих плоскостях;
 - размеры, мм: 472 × 276,5 × 24,5;
 - масса, кг: 2.
- Технические параметры дисплея LO2225:
- размер экрана, дюймов: 22;
 - размер пиксела, мм: 0,282;
 - разрешение: 1680 × 1050;
 - количество отображаемых цветов: 16,7 млн.;
 - угол обзора: 170° в горизонтальной плоскости, 160° в вертикальной плоскости;
 - размеры, мм: 477 × 300 × 26,8;
 - масса, кг: 2,5.

www.prosoft.ru
Тел. (495) 234-0636

Новый тюнер Sharp DVB-S2 NIM потребляет всего 1,5 Вт

Sharp расширяет ассортимент тюнеров типа Network Interfaced Module (NIM) для цифрового приёма спутникового телевизионного сигнала высокой чёткости (High Definition-телевидения по спутнику) особо экономичной моделью. Потребляемая мощность нового тюнера DVB-S2NIM типа BS2F7HZ0167 снижена почти на 50% по сравнению с моделью-предшественником (BS2F7HZ0164) – её значение составляет всего 1,5 Вт.

Корпус новой модели идентичен корпусу существующих тюнеров DVB-S2 NIM, т.е. является механически полностью аппаратно совместимым. К тому же BS2F7HZ0167 покрывает типичный для спутникового приёма частотный диапазон

Новости российского рынка

950...2150 МГц и пригоден для приёма как HDTV-сигналов по стандарту DVB-S2, так и сигналов по стандарту DVB-S. Новый тюнер BS2F7HZ0167 отличается выдающимися техническими параметрами: коэффициент шума составляет всего 6 дБ (тип.), а фазовые шумы всего около -80 дБ/Гц (тип.) при смещении 10 кГц. Также новый DVB-S2NIM имеет отличные показатели чувствительности сигнально-го входа, динамики и избирательности.

Блок NIM-демодулятора BS2F7HZ0167 несёт в своём составе новейший чип типа STV0903, который обеспечивает 8PSK/QPSK-демодуляцию и выдаёт цифровой 8-разрядный поток данных для последующей обработки сигналов.

У разработчиков, применяющих в своих проектах ресивер с отдельным демодулятором, появилась возможность использовать современную интегрированную тех-

нологию спутникового HDTV-приёма от Sharp. Данная технология предусматривает применение встроенного в ресивер QPSK-демодулятора. Пользователям, самостоятельно разрабатывающим ресивер с отдельным демодулятором, не придётся отказываться от современной технологии спутникового HDTV-приёма Sharp.

Модели BS2S7VZ0604 и BS2S7HZ0604 из новой серии DVB-S2-тюнеров позиционируются на рынке как СВЧ-фронтенды соответственно для вертикальной и горизонтальной установки на плату. Они обеспечивают такой же высококачественный приём, как и новые тюнеры DVB-S2NIM. Эти так называемые «RF-Only-тюнеры» базируются на технологии Sharp с превосходными радиочастотными ИС собственной разработки.

Партнёр компании ПРОСОФТ, Sharp располагает обширным ноу-хау по разработке и производству приёмных компо-



нентов. К слову, в 2005 г. Sharp одним из первых вышел на европейский рынок с тюнером DVB-S2 для приёма HDTV-сигналов, вещаемых со спутника. Обширный ассортимент включает в себя более 40 тюнеров цифрового телевизионного приёма через спутник, по кабелю и по эфиру, обеспечивает соответствующее решение практически для любого устройства. Новый тюнер DVB-S2 NIM типа BS2F7HZ0167, как и все компоненты тюнеров Sharp, с мая 2008 г. можно приобрести в компании ПРОСОФТ.

www.prochip.ru
Тел. (495) 232-2522

Приборы

Быстро, точно, удобно – новая серия осциллографов LeCroy

Компания LeCroy объявила о выпуске новой серии осциллографов. Серия носит название WavePro 7 Zi. Она является ответом на постоянно возрастающие требования к характеристикам приборов и приходит на смену сразу двум линейкам приборов LeCroy: WavePro и WaveMaster.

В серии представлены пять моделей осциллографов общего применения и четыре модели анализаторов сигналов последовательных данных с полосами пропускания от 1,5 до 6 ГГц и частотами дискретизации в реальном времени 20 ГГц на канал и 40 ГГц в режиме объединения каналов. При этом максимально возможный объём памяти на канал составляет до 256 Мб. В осциллографах использована принципиально новая потоковая архитектура передачи данных X-Stream II, которая обеспечивает быстрое действие в 10 – 20 раз быстрее



при работе с большими массивами данных, чем у аналогичных приборов других производителей. Для более удобного наблюдения сигналов WavePro 7 Zi имеет широкоформатный дисплей 39 см, что является самым большим осциллографическим экраном на сегодняшний день.

Помимо ранее использовавшейся сегментированной развёртки, программного алгоритма поиска WaveScan и режима «быстрого отображения» WaveStream, в осциллографах WavePro 7 Zi применена система TriggerScan. TriggerScan является программно-аппаратным решением, использующим специальную высокоскоростную микросхему предзапуска и позволяет проводить последовательное сканирование сигнала по различным комбинациям условий запуска.

Как и все осциллографы от LeCroy, новая серия обладает широким набором инструментов для анализа сигналов: программных (измерения, математика, графический и статистический анализ, интеграция с программными пакетами типа MatLab) и аппаратных (все виды пробников, включая логические, а также синхронизация и декодирование низкоскоростных и высокоскоростных потоков последовательных данных).

www.prist.ru
Тел. (495) 777-5591

Программирование

Отладочные средства компании «Миландр»

Компания ЗАО «ПКК Миландр» начала производство и продажу отладочных средств для первого российского микроконтроллера с CAN-интерфейсом. В состав отладочного комплекта входят: отладочная плата, программатор, необходимые интерфейсные кабели, несколько образцов данного микроконтроллера, а также отладочная сре-

да собственной разработки, которая существенно облегчает процесс создания и отладки программного обеспечения для всех контроллеров серии 1886. Кроме CAN 2.0b интерфейса (стандарта ISO 11898, прошедшего тестирование в Германии), в состав данного контроллера входят: 10-разрядный 8-канальный АЦП, интерфейсы LIN, USART, 8 × 8 аппаратный умножитель, память программ (4K × 16), память данных (902 байта),

несколько таймеров; наличие Sleep-режима и т.д. Рабочий температурный диапазон микросхемы (в металлокерамическом корпусе) от -60 до +125°C. В продолжение серии 1886 сейчас разрабатываются ещё два микроконтроллера: 1886BE6Y (с АЦП (12 разрядов) и ЦАП) и 1886BE7Y (с пониженным энергопотреблением). Образцы данных схем ожидаются в сентябре-октябре 2008 г.

www.milandr.ru
Тел. (495) 739-0282

ДОЛОМАНТ: контрактное производство электроники специального назначения

Вадим Лысов (Москва)

Высокотехнологичная, с мощными производственными и кадровыми ресурсами коммерческая компания на рынке контрактной разработки и производства в лицензируемых отраслях – явление пока уникальное в нашей стране. Бизнес-процесс исполнения электронных проектов предприятий, работающих традиционно в сфере гособоронзаказов и под патронажем Ростехнадзора выделен в чистом, коммерческом виде для открытого сотрудничества, партнёрства и конкуренции с государственными предприятиями электронной отрасли. Если история развития и весь мировой опыт наиболее развитых «электронных» стран, задающих тон в гражданских и специальных технологиях и разработках в области электроники, применим к России, в недалеком будущем этот успешный, но единичный пока проект станет просто первым среди многих.

Рынок контрактного производства электроники в России растёт быстрыми темпами, более чем на 25% в год. Принятие федеральных целевых программ обеспечивает государственную поддержку электронной промышленности. Конкуренция, активное сотрудничество и соперничество на поле важнейших государственных заказов частных компаний и государственных предприятий максимально полно отвечают поставленным задачам модернизации электронной промышленности и восстановлению безопасности этой стратегической отрасли.

Сочетание всех этих факторов способствовало появлению в России проекта создания независимого бизнес-направления «Контрактное производство электроники для исполне-

ния лицензируемых проектов» под торговой маркой ДОЛОМАНТ.

Компания ДОЛОМАНТ предоставляет услуги современного высокотехнологичного комплексного производства предприятиям, работающим по специальным условиям и выполняющим лицензируемые государственные заказы, включая гособоронзаказ.

Уникальность проекта «лицензируемого контрактного производства» заключается в эффективном объединении передовых достижений независимых контрактных производителей изделий электроники общего назначения и заводов, традиционно выполняющих специальные государственные заказы. Сопряжение лучших качеств управления, отчётности,

технологий контроля качества каждого этапа реализации, дисциплины производства плюс отлаженный интерфейс в поле принятых стандартов для исполнителей лицензируемых заказов – отличительные черты нового направления.

Отмечая успех идеи, доказавшей право на жизнь и дальнейшее развитие, нужно отдавать отчёт в том, что очень многое будет зависеть от промышленной политики соответствующих государственных структур. В любом случае уже в ближайшее время уникальность положения «специального контрактного производителя» должна измениться, и это стоит только приветствовать.

Прогнозируется, что такое положение верно только на ограниченный период времени и означает только «первые из грядущих». Для стран с высоким уровнем технологий и объёмов электронной промышленности характерно, что именно частные компании, независимые производители являются инициаторами модернизации технологий, лидерами в разработках и построении современных процессов. При этом государственные органы, отвечающие за безопасность ключевой электронной промышленности, опираются в первую очередь на такие компании, помогая им законами, экономическими преференциями, распределе-





нием бюджетных, стратегических заказов и антимонопольным регулированием.

Законы природы не имеют границ, законы же экономического развития локализованы и имеют свою точную прописку по эпохам и государственной принадлежности. Выходя на отечественный рынок с новым бизнес-проектом, мы надеялись в первую очередь добиться эффективности предложенных решений реализации лицензируемых (государственных, бюджетных) заказов.

В долгосрочном, стратегическом плане ДОЛОМАНТ поставил задачу быть в группе лидирующих инновационных предприятий отрасли, занимая собственную нишу пионера технологий и дисциплины производства, соответствовать понятию интеллектуального отечественного производителя электроники специального назначения. Для достижения заявленных целей ДОЛОМАНТ обладает необходимым опытом, сбалансированным капиталом квалифицированных кадров, оснащённого передовыми технологиями производства и, главное, волей для достижения поставленных целей.

Основные направления деятельности ДОЛОМАНТ:

- изделия собственной разработки, предназначенные для ответственных применений;
- поставка электронной компонентной базы в статусе «второго поставщика»;
- контрактные разработки и производство полного цикла модулей, узлов, блоков в соответствии с лицензионными условиями (поставка с приёмкой «ВП», лицензии Ростехнадзора, Роспрома, ФСБ, система менеджмента качества, сертифицированная в СДС «Военный регистр», Свидетельство об аттестации второго поставщика).

Для осуществления указанных видов деятельности фирма имеет полный пакет разрешительных документов (лицензий, свидетельств, сертификатов, решений и пр.), выданных Минобороны, Роспромом, Ростехнадзором, ФСБ и пр.

Дизайн-центр предприятия разрабатывает электронное оборудование для жёстких условий эксплуатации. Уровень разрабатываемых изделий – от модулей до программно-аппаратных комплексов. Возможности центра:

- проработка технических требований, разработка технического задания и эскизного проекта;
- разработка схемотехнических решений;
- трассировка печатных плат любой сложности;
- конструирование механических деталей, узлов, корпусов и кабелей;
- разработка системного ПО, в том числе: операционные системы, BIOS, драйверы, коммуникационные протоколы;
- разработка прикладного ПО;
- любые виды испытаний: вибро-механика, климатика, ЭМС, радиационная стойкость и др.;
- производство макетных образцов;
- выпуск конструкторской документации по ЕСКД.

Производственные мощности предприятия включают:

- монтажный цех, выполняющий пайку любой сложности на автоматических линиях (SMD-компоненты) и селективную пайку (DIP-компоненты); возможны свинцовая и бессвинцовая технология пайки. Есть вспомогательный цех ручного монтажа; автоматическая оптическая инспекция и паспортный



зация изделий с момента монтажа; рентген-контроль пайки, восстановление компонентов BGA. Оборудование позволяет производить весь спектр электронных изделий: от простейших модулей с 10 – 30 компонентами «на борту» до сложнейших процессорных модулей. Производственная мощность до 100 000 модулей в месяц;

- механический цех, выполняющий сборку шкафов, блоков, узлов; контакт накруткой, пайкой, зажимом; изготовление кабелей, изготовление и доработку панелей приборов, радиаторов, элементов корпусов.

Все производственные программы предприятия по изготовлению изделий собственной разработки и контрактной сборки полностью комплектуются электронными компонентами. Возможна поставка высококачественных печатных плат любого уровня сложности, отвечающих международным стандартам IPC и российским ГОСТам, с заводов в Корее и Финляндии.

На предприятии действует система инспекции качества, включающая в себя службу контроля качества, ОТК и контроль качества военным представительством. Система инспекции качества позволила получить 99,9% годной продукции при серийном изготовлении модулей повышенной сложности.

В качестве второго поставщика предприятие поставляет предприятиям ОПК 400 000 наименований изделий электронной компонентной базы от 63 иностранных производителей.

На предприятии внедрена система маркетинга непрерывного управления заказами и технической поддержки во время исполнения заказов и в период их эксплуатации.

Максимальный эффект от кооперации достигается с компаниями:

- рыночно распоряжающимися своим проектом выпуска сложной и/или высокотехнологичной немассовой электроники всех отраслей применения;

- имеющими жёсткие требования на обязательную успешную реализацию проекта (например, государственный заказ);
- имеющими долгосрочные перспективы или однократный, но крупный проект, готовыми к сотрудничеству в области перехода на современные технологии;
- передающими на аутсорсинг полный комплекс работ контрактному производителю. Приоритеты – проектным решениям, охватывающим весь комплекс имеющихся инжиниринг-производственных возможностей контрактного производителя;
- планирующими свой бизнес на каждом этапе его осуществления: от опытных образцов и планомерной закупки комплектующих до выхода на график выпуска готовых серийных партий;
- умеющими считать стоимость проектов во всей их полноте, оценивающими эффективность выпуска конечного продукта и соотносящи-





ми реальную стоимость с потенциальными рисками.

Развитие производственной базы в 2008 г. предполагает двух-/трёхкратное увеличение мощности и возможностей цеха монтажа, переход на уверенную работу с современными компонентами в корпусах размеров 0201, дооснащение оборудованием цехов мехобработки и изготовления передних панелей, радиаторов, элементов корпусов, расширение участков сборки промышленных компьютеров, блоков, узлов, стоек и шкафов. Продол-

жится отладка процедур обработки заказов в соответствии с принятыми стандартами предприятия, расширение ассортимента услуг производства и разработок, согласование технологического и документального интерфейса взаимодействия с предприятиями, работающими в области выполнения государственных заказов. Также планируется выработать предложения по оценке качества модулей, изготовленных по смешанной технологии (традиционные компоненты отечественного производства и закупаемые

по импорту с бессвинцовыми покрытиями, печатные платы с покрытием HASL и IMG, пасты, флюсы, лаки) на весь эксплуатационный период.

На сегодняшний день бизнес-проект ДОЛОМАНТ уже имеет в активе десятки успешных реализаций комплексных заказов, проведённых под контролем Ростехнадзора и с военной приёмкой. ДОЛОМАНТ продолжит активную работу, направленную на решение проектных, комплексных задач в области производства электроники специального назначения. ©

Микроконтроллеры AT32UC3 с ядром AVR32

(часть 1)

Павел Редькин (г. Ульяновск)

В настоящее время у разработчиков электронной аппаратуры весьма популярны встраиваемые микроконтроллеры с 8-разрядным процессорным ядром архитектуры AVR фирмы Atmel, которая предлагает обширный модельный ряд этих устройств, включающий несколько подсемейств. Однако постоянно растущие требования к производительности, функциональной насыщенности и возможностям периферии, быстродействию подсистем ввода-вывода заставляют разработчиков использовать МК с 16- и 32-разрядными процессорными ядрами.

В начале 2006 г. компания Atmel анонсировала новое 32-разрядное процессорное ядро AVR32 и первый МК на его основе – AT32AP7000. В настоящее время на базе ядра AVR32 выпускается уже два семейства МК.

Предлагаемая статья посвящена одному из этих семейств – «классическим» микроконтроллерам AT32UC3 (аббревиатура UC означает microcontroller). В первой части статьи приводится перечень устройств AT32UC3, описание их архитектуры, программной модели и организации памяти.

Во второй части содержится информация о составе и характеристиках встроенной периферии AT32UC3.

В третьей части рассказывается о входящих в состав AT32UC3 модулях тестирования и отладки, а также о существующих инструментальных средствах разработки, отладки и программирования пользовательских приложений на базе этих МК.

СЕМЕЙСТВА МК С ЯДРОМ AVR32

По оценкам экспертов, МК с ядром AVR32 выигрывает по производительности и энергопотреблению у большинства приборов, ориентированных на рынок мультимедийных приложений, в том числе, с архитектурой ARM. Последнее весьма существенно, поскольку в настоящее время архитектура ARM, поддерживаемая ведущими производителями, стала фактическим стандартом в сегменте 16- и 32-разрядных МК и ПЛИС.

Так, например, алгоритм iDCT (инверсное дискретное косинусное преобразование) платформа с ядром AVR32 может выполнять на 35% быстрее, чем ядро ARM11. При выполнении стандартных тестов на производительность EEMBC архитектура AVR32 также демонстрирует ошутимое превосходство, причём не только над архитектурой ARM7, но и над архитектурами ARM9 и ARM11 [1].

Необходимо отметить, что удельная производительность ядра AVR32 (относительно его тактовой частоты), выраженная в DMIPS/МГц, при выполнении программы из статического ОЗУ (SRAM) и флэш-памяти имеет значение, существенно большее единицы (типичное – 1,38), в то время как для ядер ARM7 и ARM9 эта величина равна или меньше единицы.

Разработчики AVR32 подчёркивают оригинальные особенности новой архитектуры:

- команды обращения к памяти (записи/чтения) могут оперировать со всеми типами данных: байтами, полусловами, словами и двойными словами;
- набор команд оптимизирован для работы с распространёнными алгоритмами блочного шифрования Blowfish и Triple-DES;
- ядро имеет семь стадий конвейера (три стадии в «облегчённой» архитектуре AVR32 – AT32UC3) и поддерживает одновременное выполнение не связанных друг с другом операций с изменением их последовательности, которая задаётся

программой. Для экономии тактовых циклов предусмотрена функция пересылки результата текущей операции на предыдущие ступени конвейера на случай, если следующая команда использует этот результат;

- поддерживаемые архитектурой операции множественного доступа к данным позволяют увеличить скорость выполнения программы в четыре раза;
 - аппаратная функция прогнозирования переходов (ветвлений) в AVR32 минимизирует потери тактовых циклов при переходах с помощью команд `jmp`, `rcall` и `if` (из набора Java);
 - при разработке системы команд максимальное внимание уделено плотности результирующего кода при выполнении типичных операций в мультимедиа-приложениях;
 - в составе системы команд имеются дополнительные команды для операционных систем (ОС). Обеспечена максимальная совместимость платформы с ОС Linux, которая может полноценно использовать встроенный блок управления памятью (MMU), а также привилегированный/пользовательский режимы работы ядра AVR32;
 - гибкая система управления энергопотреблением МК на 80% реализована за счёт системы команд процессорного ядра AVR32 и на 20% – на этапе реализации МК в «железе». Последнее достигается за счёт размещения устройств хранения данных в непосредственной близости к ядру.
- На момент написания этой статьи все предлагаемые компанией Atmel устройства с архитектурой AVR32 можно было отнести к одному из двух семейств:
- базовое семейство AT32AP (процессорное ядро AVR32A) – высокопроизводительные приборы (тактовая частота ЦПУ до 150 МГц) с мощной и разнообразной периферией (интерфейсы видеокамеры, графичес-

Таблица 1. Сравнительные данные по току потребления МК различных производителей

Устройство (производитель)	Напряжение питания: ток потребления в активном режиме	Напряжение питания: ток потребления в статическом режиме	Примечания
ADuC7128/7129 (Analog Devices)	3,0 В: 42 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 42 МГц, всё периферийное тактирование активно)	3,0 В: 300 мкА (ЦПУ находится в статическом режиме)	МК с ядром ARM7 (информация с сайта: www.analog.com)
AT32UC3A0512/1512/0256/1256/0128/1128 (Atmel)	3,3 В: 37 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 60 МГц вырабатывается ФАПЧ, всё периферийное тактирование активно, встроенный стабилизатор 1,8 В включен и нагружен)	3,3 В: 25 мкА (ЦПУ находится в статическом режиме, всё периферийное тактирование неактивно, встроенный стабилизатор 1,8 В включен и нагружен)	МК с ядром AVR32 (информация с сайтов: www.atmel.com , www.avr32.ru)
AT91SAM7X512/256/128 (Atmel)	3,3 В: 44 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 50 МГц, всё периферийное тактирование активно, встроенный стабилизатор 1,8 В включен и нагружен)	3,3 В: 26 мкА (ЦПУ находится в статическом режиме, всё периферийное тактирование неактивно, встроенный стабилизатор 1,8 В включен и нагружен)	МК с ядром ARM7. (информация с сайта: www.atmel.com)
LPC2141/2142/2144/2146/2148 (NXP)	3,3 В: 57 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 60 МГц, всё периферийное тактирование неактивно, кроме USB)	3,3 В: 40 мкА (ЦПУ находится в статическом режиме, всё периферийное тактирование неактивно)	МК с ядром ARM7 (информация с сайта: www.standardics.nxp.com)
LPC2377/2378 (NXP)	3,3 В: 92 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 72 МГц, всё периферийное тактирование активно)	3,3 В: 150 мкА (ЦПУ находится в статическом режиме)	
TMS470R1B512 (Texas Instruments)	3,6 В: 55 мА, 2,05 В: 125 мА (ЦПУ выполняет программу из флэш-памяти, тактовая частота 60 МГц, всё периферийное тактирование активно)	3,6 В: 20 мкА, 2,05 В: 2 мА (ЦПУ находится в статическом режиме)	МК с ядром ARM7 (информация с сайта: www.ti.com)

кого ЖКИ, звукового ЦАП, SD/MMC-карт памяти, графического сопроцессора, аппаратного ускорителя JAVA и т.д.). Недостатком этих устройств является отсутствие встроенной флэш-памяти программ, что несколько затрудняет или ограничивает их использование в ряде приложений;

- семейство AT32UC3 («облегченное» процессорное ядро AVR32UC). Особенность этих устройств – наличие встроенной флэш-памяти на кристалле. По этой причине МК AT32UC3 могут использоваться без какой-либо дополнительной «обвязки», т.е. являются самодостаточными микроконтроллерами. Однако их максимальная производительность существенно ниже, чем у приборов семейства AT32AP, поскольку тактовая частота ЦПУ не превышает 66 МГц. Кроме того, по сравнению с AT32AP, возможности процессорного ядра скромнее, а набор встроенной периферии – значительно беднее. Несмотря на это, МК семейства AT32UC3 представляются весьма перспективными устройствами, заслуживающими внимания разработчиков.

Старшие представители МК семейства AT32UC3 обеспечивают производительность на уровне 80 DMIPS, потребляя в активном режиме ток около 40 мА при питании от напряжения 3,3 В. Удельная потребляемая мощность этих устройств составляет 1,65 мВт/DMIPS (0,6 мА/МГц), что, по заявлению производителя, примерно в четыре раза ниже, чем у аналогов, построенных по другой архитектуре [2].

Для сравнения в таблице 1 показаны значения потребляемого тока для нескольких сходных по своим возможностям МК различных производителей при одинаковых или близких внешних условиях. Как видно из таблицы 1, разница в энергопотреблении МК с ядром AVR32 и конкурирующих МК в активном режиме хотя и не достигает четырёхкратной величины, но, тем не менее, весьма значительна.

По утверждению производителя, использование ядра AT32UC3 обеспечивает размер откомпилированного кода на 5...20% меньший, чем размер откомпилированного кода для ядра с архитектурой ARM, использующего систему команд Thumb. Для системы команд ARM выигрыш в размере откомпилированного кода достигает 30...50%.

Фирма Atmel также объявила, что ядро МК AT32UC3 является первым ядром в отрасли, в которое интегрирована статическая память с интерфейсом прямой связи с процессором и

однотактным чтением/записью, что позволяет ускорить исполнение кода при меньшем энергопотреблении.

В отношении встроенной периферии AT32UC3 заметим, что многие периферийные модули МК этого семейства по своей архитектуре и пользовательским интерфейсам практически идентичны периферийным модулям МК выпускаемого фирмой Atmel семейства AT91SAM7, которое широко известно разработчикам. Это обстоятельство, несомненно, упростит освоение AT32UC3.

Перечень устройств архитектуры AT32UC3 (подсемейств AT32UC3A и AT32UC3B) приводится соответственно в таблицах 2 и 3. Часть набора встроенной периферии, одинаковая для всех устройств AT32UC3A, в таблице 2 не указана, а перечислена ниже в тексте.

Как можно видеть из таблиц, МК подсемейства AT32UC3B предназначены для простых приложений, а МК

Таблица 2. Микроконтроллеры подсемейства AT32UC3A

Устройство	Флэш-память, Кб	SRAM, Кб	Интерфейс внешней шины	EthernetMAC	Корпус
AT32UC3A0512	512	64	+	+	144-выводной LQFP
AT32UC3A1512	512	64	–	+	100-выводной TQFP
AT32UC3A0256	256	64	+	+	144-выводной LQFP
AT32UC3A1256	256	64	–	+	100-выводной TQFP
AT32UC3A0128	128	32	+	+	144-выводной LQFP
AT32UC3A1128	128	32	–	+	100-выводной TQFP

Таблица 3. Микроконтроллеры подсемейства AT32UC3B

Устройство	Флэш-память, Кб	SRAM	USART	SSC	ADC	OSC	Конфигурация USB	Корпус
AT32UC3B0256	256	32к	3	+	8	2	Минихост + устройство	64-выводной TQFP/QFN
AT32UC3B1256	256	32к	2	–	6	1	Устройство	48-выводной TQFP/QFN
AT32UC3B0128	128	32к	3	+	8	2	Минихост + устройство	64-выводной TQFP/QFN
AT32UC3B1128	128	32к	2	–	6	1	Устройство	48-выводной TQFP/QFN
AT32UC3B064	64	16к	3	+	8	2	Минихост + устройство	64-выводной TQFP/QFN
AT32UC3B164	64	16к	2	–	6	1	Устройство	48-выводной TQFP/QFN

подсемейства AT32UC3A – для более сложных. Следует отметить, что Atmel планирует в перспективе выпуск подсемейств AT32UC3C, AT32UC3D и AT32UC3E [2].

Устройства подсемейства AT32UC3A имеют следующие типовые характеристики [3, 5]:

- Высокоэффективное 32-разрядное процессорное ядро с оригинальной архитектурой AVR32 и следующими особенностями:
 - компактная система команд RISC, выполняющихся за один цикл, включая команды DSP;
 - команды «чтение-модификация-запись» и команды манипуляций с битами;
 - тактовая частота до 66 МГц при удельной производительности 1,38 DMIPS/МГц;
 - производительность 83 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 66 МГц (1 цикл ожидания);
 - производительность 45 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 33 МГц (0 циклов ожидания);
 - модуль защиты памяти (MPU);
 - Мультииерархическая шинная система со следующими особенностями:
 - высокоэффективный обмен данными по отдельным шинам для повышения производительности;
 - 15 каналов DMA для автоматической передачи данных;
 - Встроенная высокоскоростная флэш-память со следующими особенностями:
 - объём от 512 до 128 Кб;
 - доступ за один тактовый цикл на тактовой частоте до 30 МГц;
 - буфер выборки с упреждением для оптимизации выполнения команд на максимальной тактовой частоте;
 - время программирования страницы 4 мс, время стирания всего кристалла 8 мс;
 - 100 000 циклов записи, 15-летний срок сохранности данных;
 - ключи защиты памяти и задаваемые пользователем области конфигурации;
 - Встроенная высокоскоростная статическая память с доступом за один тактовый цикл на максимальной тактовой частоте и объёмом от 64 до 32 Кб;
 - Интерфейс внешней памяти (для устройств AT32UC3A0) – SDRAM/SRAM-совместимая шина памяти (16-разрядные шины данных и 24-разрядная шина адресов);
 - Контроллер прерываний с автоматически векторизуемыми прерываниями, малым временем ожидания и программируемым приоритетом;
 - Системные функции со следующими особенностями:
 - менеджер питания и синхронизации, включающий внутренний RC-генератор и генератор с частотой 32 кГц;
 - два многоцелевых генератора и две системы ФАПЧ;
 - независимые тактовые частоты для ЦПУ и USB;
 - сторожевой таймер, таймер реального времени;
 - Универсальная последовательная шина (USB) со следующими особенностями:
 - полноскоростное USB-устройство версии 2.0 On-The-Go (OTG) с поддержкой полноскоростного и низкоскоростного режимов;
 - гибкая конфигурация конечной точки USB и управление выделенными каналами DMA;
 - приёмопередатчики на кристалле, включая подтянутые к «плюсу» питания резисторы;
 - Интерфейс Ethernet MAC 10/100 Мбит/с со следующими особенностями:
 - контроллер Ethernet MAC 802.3;
 - поддержка MII и RMII;
 - Один 16-разрядный таймер/счётчик (TC) с тремя каналами со следующими особенностями:
 - три внешних входа синхронизации, ШИМ, захват и различные возможности счёта событий;
 - один 16-разрядный контроллер ШИМ с 7 каналами;
 - Четыре универсальных синхронных/асинхронных приёмопередатчика (USART) со следующими особенностями:
 - встроенный генератор скорости обмена, поддержка IrDA и интерфейса ISO7816;
 - поддержка аппаратной процедуры установления связи, модемного интерфейса и интерфейса RS-485;
 - Два ведущих/ведомых последовательных периферийных интерфейсов (SPI) с сигналами выбора устройства;
 - Один контроллер синхронного последовательного протокола с поддержкой I2S и универсального фреймового протокола;
 - Один ведущий/ведомый двухпроводный интерфейс (TWI) с максимальной скоростью обмена 400 Кбит/с, совместимый с I²C;
 - Один 10-разрядный модуль 8-канального АЦП;
 - Поточковый выход для 16-разрядного 2-канального звукового ЦАП с частотой выборки до 50 кГц;
 - Встроенная система отладки (JTAG-интерфейс) на кристалле (OCD) с возможностью трассировки в реальном масштабе времени, доступа к памяти для чтения-записи на полной скорости в дополнение к основной отладке во время выполнения кода;
 - Исполнение в 100-выводном корпусе TQFP (69 линий GPIO), 144-выводном корпусе LQFP (109 линий GPIO);
 - Толерантные к внешнему напряжению 5 В линии ввода-вывода;
 - Единственное напряжение питания 3,3 В или два напряжения питания 1,8 и 3,3 В;
- Устройства подсемейства AT32UC3B имеют следующие типовые характеристики [4, 5]:
- Высокоэффективное 32-разрядное процессорное ядро с оригинальной архитектурой AVR32 и следующими особенностями:
 - компактная система команд RISC, выполняющихся за один тактовый цикл, включая команды DSP;
 - команды «чтение-модификация-запись» и команды манипуляций с битами;
 - тактовая частота до 60 МГц при удельной производительности 1,38 DMIPS/МГц;
 - производительность 75 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 60 МГц;
 - производительность 45 DMIPS при выполнении программы из флэш-памяти с тактовой частотой 33 МГц;
 - модуль защиты памяти (MPU);
 - Мультииерархическая шинная система со следующими особенностями:
 - высокоэффективный обмен данными по отдельным шинам для повышения производительности;
 - семь каналов DMA для автоматической передачи данных;
 - Встроенная высокоскоростная флэш-память со следующими особенностями:
 - объём от 256 до 64 Кб;

- доступ за один тактовый цикл на тактовой частоте до 30 МГц;
- буфер выборки с упреждением для оптимизации выполнения команд на максимальной тактовой частоте;
- время программирования страницы 4 мс, время стирания всего кристалла 8 мс;
- 100 000 циклов записи, 15-летний срок сохранности данных;
- ключи защиты памяти и задаваемые пользователем области конфигурации;
- Встроенная высокоскоростная статическая память с доступом за один тактовый цикл на максимальной тактовой частоте и объёмом от 32 до 16 Кб;
- Контроллер прерываний с автоматически векторизуемыми прерываниями, малым временем ожидания и программируемым приоритетом;
- Системные функции со следующими особенностями:
 - менеджер питания и синхронизации, включающий внутренний RC-генератор и генератор с частотой 32 кГц;
 - два многоцелевых генератора и две системы ФАПЧ;
 - независимые тактовые частоты для ЦПУ и USB;
 - сторожевой таймер, таймер реального времени;
- Универсальная последовательная шина (USB) со следующими особенностями:
 - полноскоростное USB-устройство версии 2.0 On-The-Go (OTG) с поддержкой полноскоростного и низкоскоростного режимов;
 - гибкая конфигурация конечной точки USB и управление выделенными каналами DMA;
 - приёмопередатчики на кристалле, включая подтянутые к «плюсовому» питанию резисторы;
- Один 16-разрядный таймер/счётчик (TC) с тремя каналами со следующими особенностями:
 - три внешних входа синхронизации, ШИМ, захват и различные возможности счёта событий;
 - один 16-разрядный контроллер ШИМ с 7 каналами;
- Три универсальных синхронных/асинхронных приёмопередатчика (USART) со следующими особенностями:
 - встроенный генератор скорости обмена, поддержка IrDA и интерфейса ISO7816;

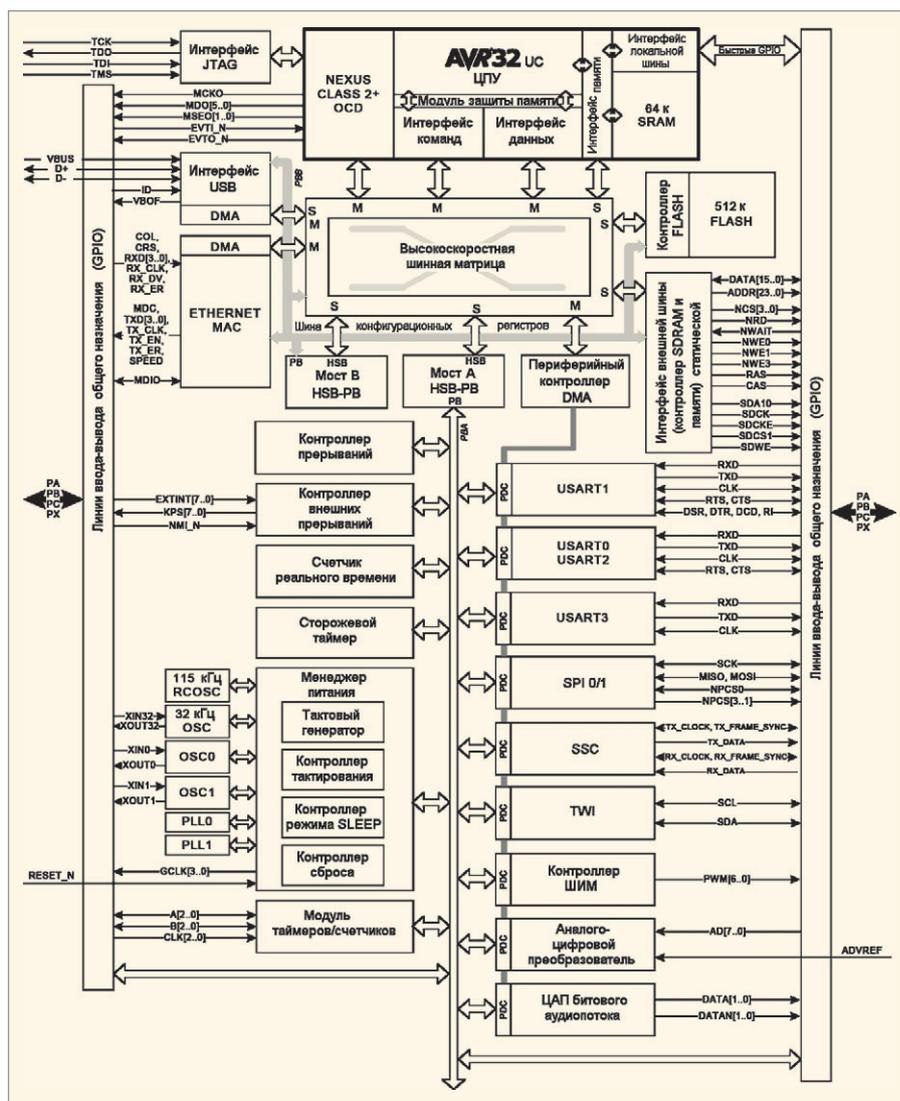


Рис. 1. Блок-схема МК подсемейства AT32UC3A

- поддержка аппаратной процедуры установления связи, модемного интерфейса и интерфейса RS-485;
- Один ведущий/ведомый последовательный периферийный интерфейс (SPI) с сигналами выбора устройства;
- Один контроллер синхронного последовательного протокола с поддержкой I2S и универсального фреймового протокола;
- Один ведущий/ведомый двухпроводный интерфейс (TWI) с максимальной скоростью обмена 400 кбит/с, совместимый с I²C;
- Один 10-разрядный модуль 8-канального АЦП;
- Встроенная система отладки (JTAG-интерфейс) на кристалле (OCD) с возможностью трассировки в реальном масштабе времени, доступа к памяти для чтения-записи на полной скорости в дополнение к основной отладке во время выполнения кода;

- Исполнение в 64-выводном корпусе TQFP/QFN (44 линии GPIO), 48-выводном корпусе TQFP/QFN (28 линий GPIO);
 - Толерантные к внешнему напряжению 5 В линии ввода-вывода, включая четыре вывода с драйверами повышенной нагрузочной способности;
 - Единственное напряжение питания 3,3 В или два напряжения питания 1,8 и 3,3 В.
- Блок-схема МК подсемейства AT32UC3A показана на рисунке 1, а МК подсемейства AT32UC3B – на рисунке 2.

АРХИТЕКТУРА И ПРОГРАММНАЯ МОДЕЛЬ AVR32

AVR32 представляет собой высокоэффективную 32-разрядную RISC-архитектуру, предназначенную для встраиваемых приложений, с упором на потребление малой мощности и высокую плотность кода. По утверж-

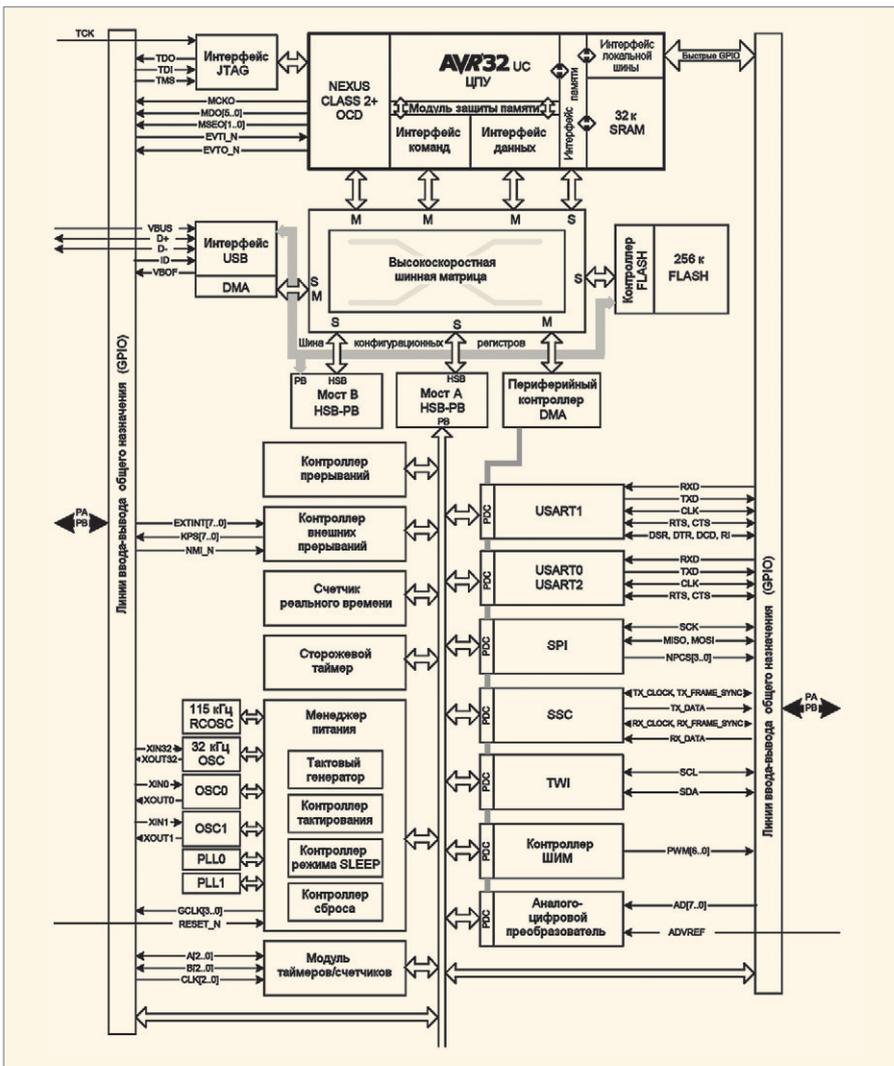


Рис. 2. Блок-схема МК подсемейства AT32UC3B

дению производителя, архитектура AVR32 обеспечивает наилучшую плотность кода в своём классе устройств [6, 7].

Как уже было сказано, процессорное ядро AVR32UC заявлено первым промышленно выпускаемым ядром, которое объединяет чтение-запись SRAM за один тактовый цикл с прямым интерфейсом к ЦПУ. Этот интерфейс обходит системную шину, что позволяет достигнуть в AVR32 максимальной скорости выполнения программы, детерминизма цикла и минимальной потребляемой мощности. Наличие в ядре интерфейса ведомого к высокоскоростной шине (HSB) позволяет контроллерам DMA или другим ведущим устройствам HSB обмениваться данными непосредственно с встроенным в процессор статическим ОЗУ. Если ЦПУ и ведомое устройство HSB запрашивают доступ одновременно, предусмотрен арбитраж. Для нужд приложений в системе реализована программируемая схема приоритетов.

Процессор поддерживает операции с байтами и полусловами данных без необходимости выполнения дополнительного объёма программного кода. Запись в память и чтение памяти обеспечиваются для байта, полуслова, слова и двойного слова данных с автоматическим признаком или дополнением нулями свободных полей полуслова или байта. Архитектура AVR32 разрабатывалась с учётом специфики работы компилятора Си, что даёт возможность в полной мере использовать его возможности по оптимизации кода.

Чтобы уменьшить размер кода до минимума, некоторые команды AVR32 имеют множественные способы адресации. Например, команды с непосредственной адресацией часто имеют компактный формат с меньшим непосредственным значением и расширенный формат с большим непосредственным значением. Используя эту особенность, компилятор подбирает формат, дающий наименьший размер кода.

Другая особенность системы команд состоит в том, что часто используемые команды, например, команды сложения, загрузки и сохранения имеют компактный формат с двумя операндами и расширенный формат с тремя операндами. Расширенный формат увеличивает производительность, позволяя осуществлять добавление и перемещение данных единственной командой за один цикл.

Регистровый файл процессора организован как шестнадцать 32-разрядных регистров и включает в себя программный счётчик, регистр связи и регистр-указатель вершины стека. Кроме того, регистр R12 предназначен для хранения возвращаемых значений при вызове функций и неявно используется некоторыми командами.

В микроконтроллерах семейства AT32UC3 процессорное ядро с архитектурой AVR32UC интегрирует расширенную систему отладки (OCD), содержит модуль защиты памяти (MPU), но в отличие от архитектуры семейства AVR32A не содержит встроенной кэш-памяти. Аппаратный ускоритель команд языка Java в МК семейства AT32UC3 также не реализован.

Микроконтроллеры семейства AT32UC3 поддерживают три интерфейса памяти: один ведущий интерфейс к высокоскоростной шине (HSB) для выборки команд, один ведомый интерфейс к высокоскоростной шине для доступа к данным и один ведомый интерфейс к высокоскоростной шине для доступа к статической памяти, встроенной в центральный процессор. Хранение данных в этой памяти позволяет осуществить быстрый доступ к ним, уменьшает время ожидания и гарантирует правильную синхронизацию. Кроме того, указанная особенность архитектуры уменьшает потребляемую мощность, поскольку для доступа к SRAM не требуется полностью задействовать высокоскоростную системную шину. Специализированный интерфейс внешнего ОЗУ данных реализован в архитектуре для того, чтобы осуществлять обмен данными со встроенной SRAM.

Блок-схема центрального процессора устройств семейства AT32UC3 показана на рисунке 3. Процессор МК типа AT32UC3 имеет трёхступенчатый конвейер обработки команд. Конвейер состоит из следующих стадий: выборка команды (IF), декоди-

рование команды (ID) и выполнение команды (EX). Большинство команд выбирается, декодируется и выполняется за один тактовый цикл. Выполнение некоторых команд требует нескольких тактовых циклов, и в этом случае команда постоянно находится в стадиях ID и EX конвейера в течение требуемого числа тактовых циклов.

Стадия выборки команды была специально разработана, чтобы оптимизировать вызов команды из флэш-памяти. При выборке в каждом тактовом цикле происходит запись одной 32-разрядной или двух 16-разрядных команд во внутренний буфер команд. Наличие этого буфера гарантирует отсутствие остановов конвейерной обработки в ходе последовательного выполнения программы.

На следующей стадии происходит декодирование команды и генерация необходимых сигналов для её выполнения.

Третья стадия разбита на три параллельных секции (модуля): арифметическую секцию – арифметико-логическое устройство (ALU), секцию умножения (MUL) и секцию загрузки/сохранения (LS). Арифметико-логическое устройство выполняет арифметические и логические операции, включая аппаратное деление. Модуль умножения выполняет операции умножения и умножения с накоплением (MAC), поддерживаемые системой команд. Модуль загрузки/сохранения выполняет операции доступа к SRAM или операции доступа к высокоскоростной шине (HSB) за один тактовый цикл. Регистры регистрового файла могут быть модифицированы в течение того же самого тактового цикла, в котором происходит выполнение команды. Эта особенность упрощает программную трансляцию по сравнению с более длинными конвейерами, поскольку отсутствует необходимость в планировании кода.

Блок-схема обработки команд в конвейере показана на рисунке 4. Архитектуры AVR32UC и AVR32A используют одну и ту же 16/32-разрядную систему команд (ISA) с более чем 220 командами, доступными как 16-разрядные компактные и 32-разрядные расширенные команды. Система команд этого ядра обеспечивает управление единичными разрядами для контроля встроенной перифе-

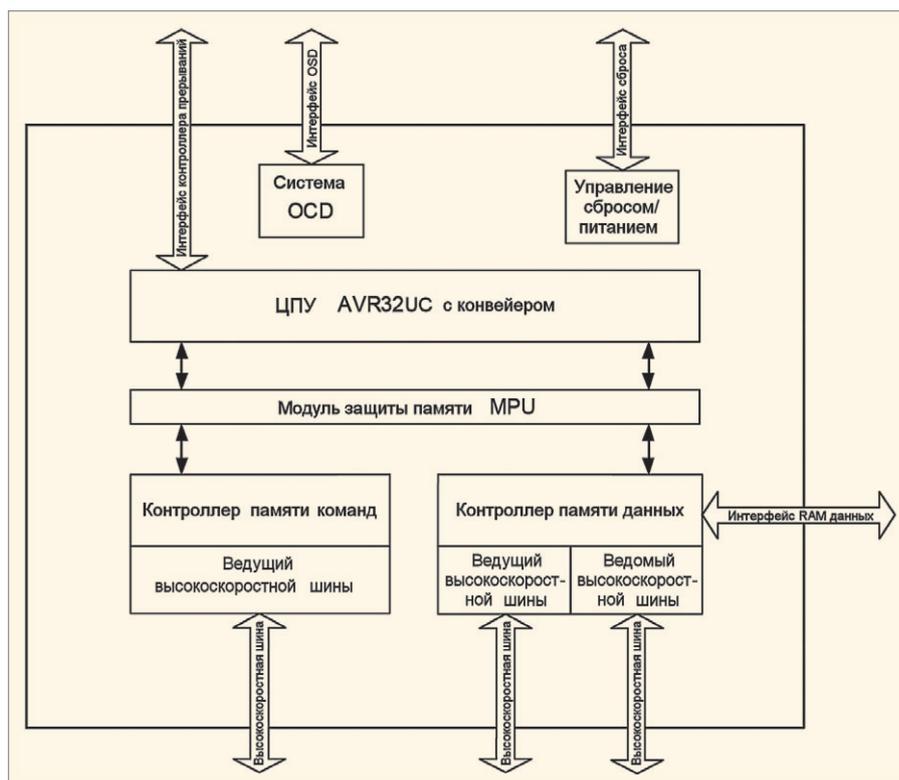


Рис. 3. Блок-схема центрального процессора устройств семейства AT32UC3

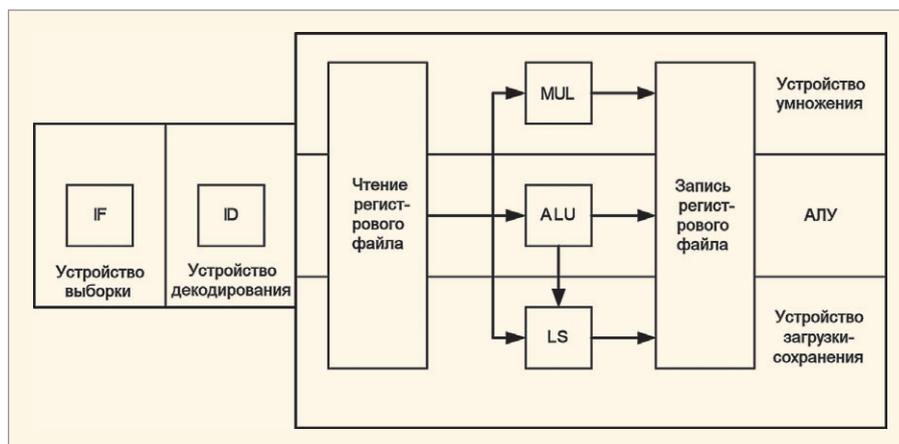


Рис. 4. Блок-схема обработки команд в конвейере

рии, интерфейсов ввода/вывода общего назначения и целочисленных арифметических модулей DSP, в том числе однократных умножителей с накоплением.

Команды DSP ISA в архитектуре AVR32UC выполняются в модуле умножения за один тактовый цикл. Сюда входят команды умножения и команды умножения с накоплением для стандартных и дробных чисел, с/без переполнения и округления. Результат умножения или умножения с накоплением может иметь размер 32, 48 или 64 разряда, при этом 48- и 64-разрядный результат помещается в два регистра. К командам DSP также относятся команды сложения и вычитания, а также команды форматирова-

ния данных типа сдвига данных с переполнением и округлением.

Процессор архитектуры AVR32UC может работать в привилегированном или непривилегированном режимах. Привилегированный режим часто используется для ОС реального времени, позволяя осуществлять доступ ко всем системным ресурсам и использовать отдельный системный стек. Непривилегированный режим применяется для выполнения приложений и ограничивает доступ к некоторым из системных ресурсов.

Блок-схема регистрового файла архитектуры AVR32UC показана на рисунке 5. В верхней строке над каждым столбцом указано название режима процессора, в котором доступен на-

Прикладной пользовательский (Application)		Супервизор (Supervisor)		INT0		INT1		INT2		INT3		Исключение (Exception)		NMI	
Bit 31	Bit 0	Bit 31	Bit 0	Bit 31	Bit 0	Bit 31	Bit 0	Bit 31	Bit 0	Bit 31	Bit 0	Bit 31	Bit 0	Bit 31	Bit 0
PC	PC	PC	PC	PC	PC	PC	PC	PC	PC	PC	PC	PC	PC	PC	PC
LR	LR	LR	LR	LR	LR	LR	LR	LR	LR	LR	LR	LR	LR	LR	LR
SP_APP	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS	SP_SYS
R12	R12	R12	R12	R12	R12	R12	R12	R12	R12	R12	R12	R12	R12	R12	R12
R11	R11	R11	R11	R11	R11	R11	R11	R11	R11	R11	R11	R11	R11	R11	R11
R10	R10	R10	R10	R10	R10	R10	R10	R10	R10	R10	R10	R10	R10	R10	R10
R9	R9	R9	R9	R9	R9	R9	R9	R9	R9	R9	R9	R9	R9	R9	R9
R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8	R8
R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7	R7
R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6	R6
R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5	R5
R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4	R4
R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3	R3
R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2	R2
R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1	R1
R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0	R0
SR	SR	SR	SR	SR	SR	SR	SR	SR	SR	SR	SR	SR	SR	SR	SR

Рис. 5. Блок-схема регистрового файла архитектуры AVR32UC

бор регистров, перечисленных в соответствующем столбце; 32-разрядный регистр состояния (SR) разбит на два полуслова (старшее и младшее). Младшее полуслово состояния содержит флаги-признаки операций, а также код состояния, образуемый несколькими флагами состояния. Старшее полуслово содержит информацию о режиме процессора и состоянии выполнения программы в нём.

Процессор AVR32UC содержит мощную схему обработки исключений. Различные источники исключений, например, некорректный код операции или внешние запросы прерываний, имеют различные уровни приоритета, тем самым гарантируя предсказуемое поведение системы, когда одновременно генерируется множество исключений. Кроме того, ждущие обработки

исключения с более высоким приоритетом могут прервать текущую обработку исключений с более низким приоритетом. Когда это происходит, выполнение потока команд программы приостанавливается, а управление выполнением передаётся обработчику события с собственным адресом.

Все внешние источники прерывания имеют автоматически векторизуемый адрес программы обработки прерывания (ISR).

При обработке событий в процессоре AVR32UC, как и во всех прочих устройствах архитектуры AVR32A, использует системный стек. На вершину этого стека указывает регистр – указатель вершины стека SP_SYS. Стек используется для сохранения и выгрузки регистров R8-R12, LR, регистр состояния и адреса возврата.

быть переотображены никогда, даже при начальной загрузке.

Карта 32-разрядного адресного пространства памяти AVR32UC показана на рисунке 6. Как можно видеть, пространство памяти содержит три раздела: IRAM, BOOT и HSB. Раздел IRAM содержит внутреннюю память стадии EX-конвейера, которая отображена с адреса 0 в сторону возрастания адресов. Раздел BOOT начинается с адреса 0x8000_0000, который является адресом сброса для процессора AVR32UC. Этот раздел содержит встроенную флэш-память программ, отображённую с адреса 0x8000_0000 в сторону возрастания адресов. Раздел HSB содержит адреса специальных регистров пользовательских интерфейсов всех модулей МК, отображённых на шину HSB. Сюда относятся периферийные устройства типа USART и внешних интерфейсов памяти.

Пространство памяти однородно, поэтому код программы может выполняться в любом из этих трёх разделов. Доступ к данным также может быть выполнен в любом из них. Однако в МК типа AVR32UC можно запретить определённые виды доступа к некоторым разделам памяти, например, запись во флэш-память раздела BOOT.

Центральный процессор архитектуры AVR32UC включает в себя три интерфейса памяти:

- стадия IF конвейера имеет интерфейс ведущего к шине HSB для выборки команд;
- стадия EX конвейера имеет интерфейс ведущего к шине HSB для до-



Рис. 6. Карта 32-разрядного адресного пространства памяти AVR32UC

ОРГАНИЗАЦИЯ ПАМЯТИ

Устройства архитектуры AVR32UC имеют встроенную высокоскоростную флэш-память объёмом от 512 Кб (AT32UC3A0512, AT32UC3A1512) до 64 Кб (AT32UC3B064, AT32UC3B164).

Помимо флэш-памяти, устройства AVR32UC также имеют встроенную высокоскоростную статическую память с доступом за один тактовый цикл при максимальной тактовой частоте и с объёмом от 64 Кб (AT32UC3A0512, AT32UC3A1512, AT32UC3A0256, AT32UC3A1256) до 16 Кб (AT32UC3B064, AT32UC3B164).

Системная шина устройств AVR32UC физически реализована как шинная матрица. Все системные адреса шины являются фиксированными и не могут

ступа к данным из раздела памяти BOOT или из раздела памяти HSB;

- стадия EX конвейера имеет интерфейс ведомого к шине HSB, позволяющий осуществлять доступ других модулей системы к адресам из раздела памяти IRAM.

ОРГАНИЗАЦИЯ ЭЛЕКТРОПИТАНИЯ

Для питания МК семейства AT32UC3 в общем случае требуется два напряжения:

- 3,6 В для питания устройств ввода-вывода и аналоговой части;
- 1,8 В для питания процессорного ядра, памяти, ФАПЧ и периферии.

Использование входящего в состав AT32UC3 встроенного стабилизатора с выходным напряжением 1,8 В позволяет отказаться от одного из внешних источников.

Для всех МК фирмы Atmel характерно наличие расширенных возможностей управления энергопотреблением, реализованных, как правило, посредством управления тактированием устройства. Семейство AT32UC3 не является исключением. Управление энергопотреблением в AT32UC3 обеспечивается встроенным модулем менеджера питания (PM), который вклю-

чает в себя два высокочастотных кварцевых генератора, две системы ФАПЧ, ультранизкопотребляющий генератор частоты 32 кГц, а также RC-генератор. Менеджер питания поддерживает избирательное тактирование на уровне модулей МК, обеспечивает возможность «пробуждения» ЦПУ от внутренних или внешних прерываний, а также поддерживает несколько вспомогательных режимов «спящего» режима (Sleep), позволяющих производить избирательное отключение логики синхронизации, систем ФАПЧ и генераторов в различных сочетаниях.

Все генерируемые в модуле PM импульсные сигналы делятся на сигналы синхронизации и универсальные сигналы. Сигналы синхронизации используются для синхронизации основной цифровой логики МК (ЦПУ и периферийные модули, связанные с шинами HSB, PBA и PBB). Универсальные сигналы являются асинхронными и могут быть заданы в пределах широкого диапазона частот, что делает их подходящими для тактирования периферийных устройств, например, коммуникационных модулей и таймеров.

Встроенный в МК семейства AT32UC3 модуль сторожевого таймера (WDT)

синхронизируется от встроенного RC-генератора.

Продолжение следует

ЛИТЕРАТУРА

1. Курилин А. AVR32: новый микроконтроллер для мультимедийных приложений. Электронные компоненты. 2006. № 9 (<http://www.atmel.ru/Articles/Atmel35.htm>).
2. Королев Н., Шабьнин А. Архитектура AVR: развитие вширь и вглубь. Часть 2. Компоненты и технологии. 2007. № 4 (<http://www.argussoft.ru>).
3. AVR®32 32-Bit Microcontroller AT32UC3A0512, AT32UC3A0256, AT32UC3A0128, AT32UC3A1512, AT32UC3A1256, AT32UC3A1128 Preliminary. 32058C-AVR32-10/07, <http://www.atmel.com>.
4. AVR®32 32-Bit Microcontroller AT32UC3B0256, AT32UC3B0128, AT32UC3B064, AT32UC3B1256, AT32UC3B1128, AT32UC3B164 Preliminary. 32059E-AVR32-12/07, <http://www.atmel.com>.
5. <http://www.avr32.ru>.
6. AVR32 Architecture Document 32000B-AVR32-11/07, <http://www.atmel.com>.
7. AVR32UC Technical Reference Manual. 32002C-AVR32-11/07, <http://www.atmel.com>. ©

Новости мира News of the World Новости мира

Понижающий 40-В преобразователь для мощных светодиодов

Фирма Prema Semiconductor представляет индуктивную схему управления светодиодами PR4101. Преобразователь управляет одним или несколькими светодиодами токами от 100 мА до нескольких ампер в зависимости от выбора внешней схемы. Напряжение источника напряжения 9...40 В. Схема управления пригодна как для приложений с батареями 12 или 24 В, так и для осветителей, которые раньше комплектовались галогенными лампами с трансформаторами. Нормальный диапазон рабочих напряжений PR4101 со-

ставляет 9...40 В постоянного напряжения. Но при использовании дополнительных внешних элементов возможна также работа непосредственно от источника переменного напряжения 12 или 24 В (50 или 60 Гц). PR4101 пригоден как для самых различных осветителей на светодиодах, так и для задней подсветки ЖК-дисплеев. В зависимости от приложения он может применяться в двух исполнениях: или со всеми функциями в корпусе SO14, или в сокращённом варианте (без входа Power-Down и PWM) в корпусе SO8.

www.prema.com



Светодиоды янтарного и жёлтого цвета с яркостью 2,859 кд

Фирма Vishay предлагает серию светодиодов поверхностного монтажа. Элементы серии VLMx32 выпускаются в корпусе PLCC4 с оптимизированной рамкой, имеющей теплопроводность до 290 К/Вт и мощность рассеяния до 200 мВт, что обеспечивает возможность эксплуатации этих светодиодов с токами до 70 мА. Светодиоды по своим параметрам соответствуют



АЕС-Q101 и поэтому пригодны для автомобильных приложений. Янтарные и жёлтые светодиоды предназначены для таких приложений, как внутреннее и внешнее освещение светофоров и дорожных знаков, системы освещения автомобилей; индикаторы и задняя подсветка для аудио-, видео- и телекоммуникационных устройств и офисного оборудования, ЖК-дисплеи, подсветка переключателей и индикация символов. Устройства на светодиодах обеспечивают силу света от 1,400 до 2,850 кд при длине волны 610...621 нм (янтарные) или 585...594 нм (жёлтые).

www.vishay.com

Введение в архитектуру Cortex-M3

(часть 1)

Печатается с разрешения журнала Chip News Украина (www.chipnews.com.ua)

Павел Вовк (Киев, Украина)

Однокристальные решения, выполненные на основе встроенных ARM-процессоров, находят своё применение в самых различных областях рынка, включая такие ресурсоёмкие сегменты, как корпоративные приложения, автомобильные системы, домашние и беспроводные сетевые технологии и многие другие. Семейства процессоров на базе архитектуры ARM Cortex обеспечивают необходимые ресурсы для решения такого широкого круга задач.

Семейство процессоров Cortex включает в себя три основных подсемейства архитектуры ARMv7: подсемейство A для очень ресурсоёмких приложений, выполняемых под управлением сложных операционных систем, подсемейство R для применения в системах реального времени и подсемейство M, оптимизированное для применения в недорогих встроенных приложениях.

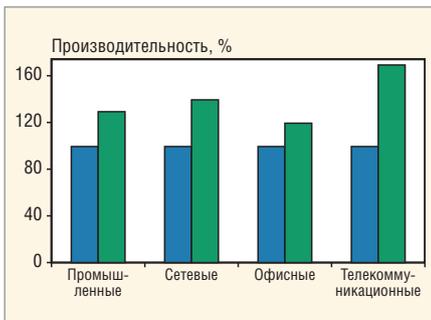


Рис. 1. Сравнение производительности стандартных ARM-процессоров ARM7TDMI-S (ARM) и процессоров Cortex-M3 (Thumb-2) в типовых приложениях

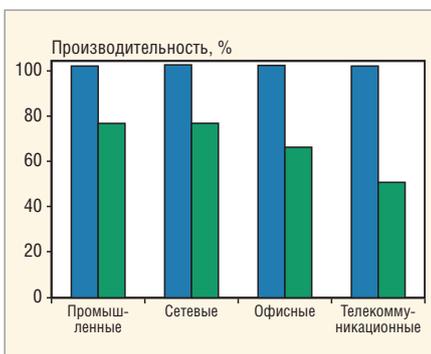


Рис. 2. Сравнение объёма кода стандартных ARM-процессоров ARM7TDMI-S (ARM) и процессоров Cortex-M3 (Thumb-2) для типовых приложений

Процессоры семейства Cortex-M3 – первые ARM-процессоры, базирующиеся на архитектуре ARMv7-M, которые были специально спроектированы для достижения высокой производительности всей системы в недорогих высокоэкономичных встроенных приложениях, таких как, например, системы промышленного контроля, автомобильная электроника, проводные и беспроводные телекоммуникационные системы, системы управления электроприводами и т.п. Для достижения этой цели было внесено множество изменений в базовую архитектуру, в частности, существенно упрощён процесс создания программного кода, что сделало рентабельным применение процессоров на базе архитектуры Cortex-M3 даже в самых простых приложениях.

Для увеличения производительности системы процессоры должны либо работать с более высокой тактовой частотой, либо использовать более изощрённые методы увеличения эффективности вычислений. Повышение тактовой частоты в принципе может повысить производительность, но в то же время увеличивает энергопотребление и сложность применения. С другой стороны, повышение эффективности вычислений при более низкой тактовой частоте более предпочтительно.

В основе процессора на базе архитектуры Cortex-M3 лежит ядро, выполненное по гарвардской технологии с трёхступенчатым конвейером. Это обеспечивает такие

привлекательные возможности, как предсказание переходов, одноктактное умножение и аппаратно реализованное деление, увеличивающие производительность до 1,25 MIPS/МГц (в тесте Drystone). В процессорах Cortex-M3 реализован новый набор команд Thumb-2, что позволяет достигнуть на 70% большей производительности на мегагерц, чем у классических ARM-процессоров на базе ARM7TDMI-S, использующих классический набор команд Thumb, и на 35% большей производительности, чем у тех же процессоров, выполняющих базовый набор команд ARM (по данным того же теста Drystone).

Сокращение времени выхода конечного продукта на рынок и снижение затрат на разработку являются важнейшими критериями при выборе процессора; точно так же возможность быстро и легко создавать программный код является одним из ключевых требований в этом вопросе.

Процессоры на базе архитектуры Cortex-M3 разрабатывались с целью обеспечить как можно более быстрое и простое создание эффективного программного кода без использования ассемблерных вставок, при этом от программиста не требовалось очень глубокого знания особенностей архитектуры процессора для создания приложений средней сложности. Данные процессоры используют упрощённую стековую модель программирования, в которой удалось совместить стандартные команды ARM с несколькими переработанными и адаптированными к ядру ARM идеями, применявшимися в 8- и 16-разрядных микроконтроллерах, доказавшими свою высокую эффективность. В то же время аппаратно реализованное управление прерываниями позволяет создавать очень простые обработчики прерываний без использования ассемблерных вставок или каких-либо манипуляций с регистрами.

Новой, ключевой особенностью системы команд Thumb-2 является более эффективная реализация компилятора языка C с возможностью операций с битами и битовыми полями, аппаратным делением и более эффективной реализацией конструкций условий типа if/then. С точки зрения разработчика программного кода, процессоры с набором команд Thumb-2 позволяют создавать код намного быстрее, проще и эффективнее. Более того, при использовании набора команд Thumb-2 и соответствующего компилятора больше не придётся делать мучительный выбор между оптимизацией кода по скорости или по объёму – в новых компиляторах возможна оптимизация как по объёму, так и по скорости. Это еще более ускоряет процесс разработки программного кода, так как теперь программистам нет нужды заранее компилировать критические участки кода и присоединять их к основной программе в виде библиотек.

Постоянным ограничением в применении более производительных процессоров является их стоимость.

Сравнение ядер ARM7TDMI-S и Cortex-M3

Параметр	Ядро	
	ARM7TDMI-S	Cortex-M3
Ядро	ARMv4T	ARMv7-M
Архитектура	фон Неймана	Гарвардская
Поддерживаемые системы команд	Thumb	Thumb/Thumb-2
Прерывания	FIQ/IRQ	NMI + от 1 до 240 физических прерываний
Время обработки прерывания, тактов	24...42	12
Пошаговый режим	Нет	Интегрирован
Защита памяти	Нет	8 региональных устройств защиты памяти
Производительность, DMIPS/МГц	0,95 (в режиме ARM)	1,25
Потребляемая мощность, мВт/МГц	0,28	0,19
Площадь кристалла, мм ²	0,62 (только ядро)	0,86 (ядро и стандартная периферия)

Современные технологии производства являются дорогостоящими, и поэтому решающим моментом в уменьшении стоимости процессора является площадь его кристалла. Процессоры, выполненные по технологии Cortex-M3, используют самое маленькое ядро ARM на сегодняшний день, содержащее всего 33 тыс. вентилях, выполненных по 0,18-мкм технологии, и уменьшенные до разумных размеров периферийные модули. Требования ядра к

объёму памяти также минимизированы за счёт внедрения технологий хранения невыровненных данных, битовых операций и системы команд Thumb-2. Эффект от этих нововведений выражается в более чем 25% снижении требований к памяти по сравнению с классическими ARM-процессорами. Сравнительные графики производительности и объёма кода в различных областях применения приведены соответственно на рис. 1 и 2.

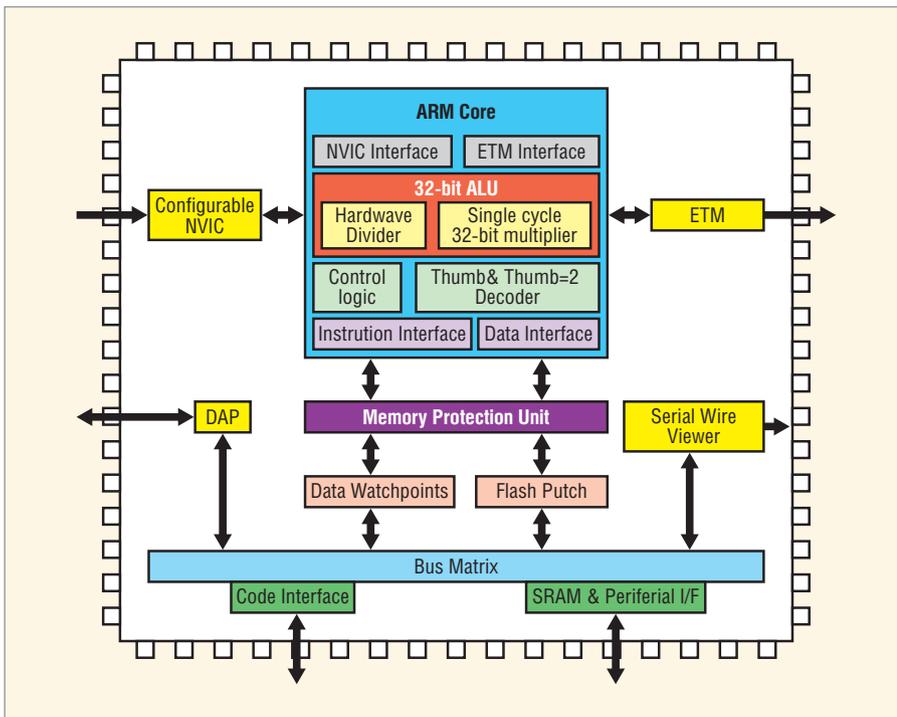


Рис. 3. Упрощённая блок-схема процессора с архитектурой Cortex-M3

В последнее время процессоры на основе технологии ARM нашли широчайшее применение во множестве встраиваемых приложений. Процессоры на основе архитектуры Cortex-M3 являются дальнейшим и наиболее прогрессивным развитием классической архитектуры ARM и, по всей видимости, станут наиболее популярными в самое ближайшее время за счёт более высокой производительности, менее сложной модели программирования, прекрасной системы обработки прерываний и низкой цены. Некоторые преимущества процессоров на базе архитектуры Cortex-M3 перед процессорами на базе классической архитектуры приведены в таблице.

Заявления, подобные приведённым выше, могут на первый взгляд показаться голословными и необоснованными. В этом случае есть смысл ближе познакомиться с архитектурой Cortex-M3.

Процессор на базе архитектуры Cortex-M3 в своей основе имеет иерархическую структуру. Она содержит ядро CM3Core с развитой периферией, включающей в себя механизмы управления прерываниями, защиты памяти и внутрисхемной отладки и другие. Этот набор обладает прекрасной конфигурируемостью, что позволяет применять этот процессор для решения широкого спектра задач и наиболее полно отвечать

требованиям, выдвигаемым к нему. Ядро Cortex-M3 и интегрированные в него компоненты (рис. 3) созданы с учётом требований к минимизации требуемого объёма памяти и потребления энергии.

Ядро Cortex-M3 базируется на гарвардской архитектуре и имеет отдельные шины для команд и для данных, в отличие от стандартных ARM-процессоров, использующих фон Неймановскую архитектуру и совмещённые шину и память как для данных, так и для команд. Процессоры Cortex-M3 считывают данные и команды одновременно, и это позволяет производить некоторые операции одновременно и таким образом существенно повысить производительность системы.

Встроенный в ядро конвейер имеет три стадии работы: выборка команды, декодирование команды, выполнение команды. Для случаев, когда в конвейере декодируется команда перехода, на стадии декодирования также производится выборка инструкции предсказания перехода, что также приводит к ускорению выполнения программы. Процессор выбирает команду назначения перехода во время собственной стадии декодирования. Позже, на стадии выполнения команд, переход разрешается, и к этому моменту уже известно, какая команда будет следующей. В случае, если пе-

реход не производится, следующая последовательность команд и так уже доступна. В случае же, если переход производится, команда перехода становится доступной в то же время, когда переход разрешается; таким образом, время простоя сводится к единственному такту.

Ядро процессора Cortex-M3 содержит декодер для традиционной системы команд Thumb и для новой системы Thumb-2, усовершенствованное АЛУ с поддержкой аппаратного умножения и деления, управляющей логикой и интерфейсами к другим компонентам системы.

Процессор на базе архитектуры Cortex-M3 представляет собой 32-разрядный процессор с 32-разрядными шиной данных, банком регистров и интерфейсом с памятью. Он содержит 13 регистров общего назначения, два указателя стека, регистр связей, счётчик команд, регистр статуса и множество специальных регистров.

Процессор на базе архитектуры Cortex-M3 поддерживает два режима работы – Thread и Handler, а также два уровня доступа к коду (привилегированный и непривилегированный), позволяющие создавать сложные открытые системы и при этом не жертвовать безопасностью. Непривилегированный уровень доступа ограничивает или полностью запрещает доступ и использование некоторых ресурсов типа определённых команд или областей памяти. Режим Thread является стандартным режимом работы и поддерживает распределение уровней доступа, тогда как режим Handler включается лишь в некоторых случаях, и весь код получает привилегированный уровень доступа.

В следующих частях статьи мы подробно рассмотрим принципы распределения памяти, операции с битами, преимущества системы команд Thumb-2 перед стандартной системой команд Thumb, работу контроллера прерываний, модуля защиты памяти, контроллеров шин и интерфейсов. Также будут рассмотрены принципы хранения невыровненных данных в памяти, режимы энергосбережения, а также основные семейства процессоров на базе архитектуры Cortex-M3.



Продолжение следует

Новости мира News of the World Новости мира

Элементы для решений с сенсорными экранами

Фирма Cypress демонстрирует решение с сенсорным экраном TrueTouch на базе архитектуры PSoC собственной разработки. К семейству относится однокристальное решение с сенсорным экраном, которое способно одновре-

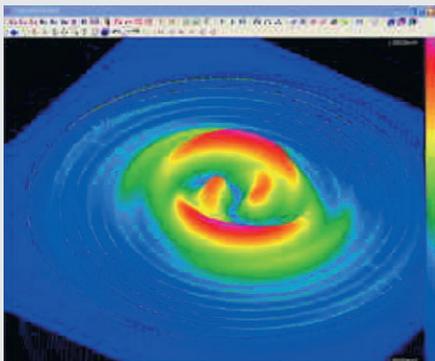


менно интерпретировать до 10 вводов со всех областей экрана. Примерами приложений, которые подходят для этого решения, являются дисплейные клавиатуры, устройства ввода данных в навигационную систему и видеогры в мобильных телефонах. К семейству TrueTouch относятся Single-Touch-элементы CY8CTST1xx, Multi-Touch-решения CY8CTMG1xx с распознаванием жестов и Multi-Touch/All-Point-элемент CY8CTMA100. Элементы в корпусах QFN с 32 или 56 выводами должны с сентября пойти в серийное производство.

www.cypress.com

Программное обеспечение моделирования электромагнитных высокочастотных полей

Фирма Vector Fields опубликовала новую версию среды разработки Concerto для моделирования электромагнитных высокочастотных полей. Concerto v7 является двумерной и трёхмерной средой разработки для проектирования, моделирования, анализа и оптимизации высокочастотных электромагнитных узлов. Как отдельные компоненты, так и



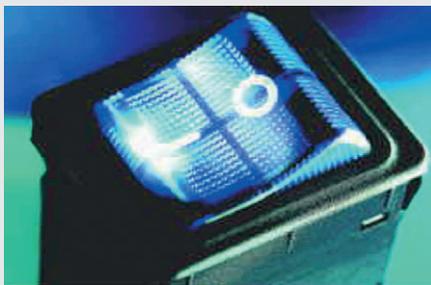
целые системы могут строиться в интегрированном модуле Geometric Modeller или импортироваться из CAD-программ. Поддерживаемыми CAD-форматами являются CATIA, ProEngineer, IGES, SAT и STEP. Многообразие приложений включает в себя весь высокочастотный спектр антенн, волноводов и кавитационных элементов, фильтров и соединителей, вплоть до устройств микроволнового нагрева и радаров.

Concerto v7 предлагается для двумерного и трёхмерного вариантов проектирования. Наряду с полной версией Vector Fields предлагает различные более дешёвые версии для начинающих.

www.vectorfields.com

Тепловой предохранитель-выключатель с числом полюсов от одного до трёх

Фирма Schurter предлагает серию приборных предохранителей-выключателей TA35. Клавиши с подсветкой и без неё могут быть различного цвета и



с различными нанесёнными символами. Новинкой является вариант в флюоресцентном кобальтовом синем цвете. Корпус выключателя рассчитан на монтаж простым защёлкиванием в платы толщиной от 1 до 4 мм. Подключение осуществляется через выводы размером $6,3 \times 0,8$ мм. TA35 выполняет функции выключателя прибора, а также предохранителя, реализующего защиту от перегрузки. Имеются выключатели на номинальные токи от 0,05 до 20 А для одно- и двухполюсных типов, или от 0,05 до 12 А для трёхполюсного исполнения. Опциональный защитный колпак обеспечивает класс защиты IP 65 для использования прибора в сложных условиях с пылью и брызгами.

www.schurter.com



Модули импульсных стабилизаторов с выходным током 1 и 1,5 А

Фирма Recom предлагает модули импульсных стабилизаторов с выходным током 1 и 1,5 А. Импульсные стабилизаторы R-78Bxx-1.0 и R-78Bxx-1.5 имеют КПД до 95% и совместимы по контактам с обычными линейными стабилизаторами. При таком КПД этим импульсным стабилизаторам не требуется охлаждающих радиаторов. Диапазон входных напряжений составляет 4,75...34 В, а выходные напряжения находятся в пределах 1,5...15 В. Построенные по топологии гальванически не развязанных понижающих импульсных стабилизаторов, они имеют постоянную защиту от короткого замыкания и внутреннюю схему отключения при перегреве. Размеры модулей $8,50 \times 11,50 \times 17,50$ мм, они выпускаются как в вертикальном, так и в горизонтальном исполнении и допускают различные варианты монтажа. Температурный диапазон от -40 до 85°C при допуске дерэтинга.

www.recom-electronic.com

8-разрядные микроконтроллеры для USB-приложений

Microchip представляет семейство 8-разрядных PIC-микроконтроллеров для USB-приложений. PIC18F13K50 и PIC18F14K50 являются самыми недорогими USB-микроконтроллерами фирмы Microchip и поддерживаются бесплатным USB-Software-Stack и бесплатной средой разработки MPLAB IDE, представляющими собой сквозную платформу разработки для всех PIC-микроконтроллеров. Микроконтроллеры семейства PIC18F1XK50 имеют наряду с USB 2.0 интерфейсы I²C, SPI и USART. Дополнительно они имеют 9-канальный аналого-цифровой преобразователь и сдвоенные компараторы, которые обеспечивают пользователю наличие нескольких входов для датчиков температуры, влажности и ёмкости.

www.microchip.com

Современные интегральные микросхемы 16-разрядного расширителя ввода-вывода с последовательным интерфейсом

Олег Вальпа (Челябинская обл.)

В статье описываются новые электронные компоненты, представляющие собой микросхемы преобразователей последовательных интерфейсов I²C и SPI в параллельные порты ввода-вывода. Приводится архитектура микросхем, их технические характеристики и назначение внутренних регистров.

ВВЕДЕНИЕ

Довольно часто в практике разработчика возникает необходимость организовать множество параллельных дискретных портов ввода-вывода по последовательному интерфейсу. Эти порты могут использоваться, например, для опроса состояния различных датчиков или контактов, а также для дискретного управления единичными индикаторами или исполнительными устройствами. Наиболее предпочтительными для этих целей являются последовательные интерфейсы I²C и SPI, которые обладают высокой скоростью, требуют минимального количества линий связи и широко распространены в различной аппаратуре.

Конечно, данную задачу можно решить, применив недорогой микроконтроллер, имеющий встроенный интерфейс I²C или SPI. В этом случае микроконтроллер под управлением программы сможет принимать данные по последовательному интерфейсу и транслировать их через параллельные порты ввода-вывода, а также выполнять обратную передачу данных. Такой микроконтроллер должен иметь большое число выводов, или к нему придется подключить дополнительные регистры.

Однако поставленную задачу можно решить и более простым способом, не требующим использования микроконтроллера, а также создания и отладки программы. Такую возможность предоставляют новые микросхемы MCP23017 и MCP23S17 компании Microchip, которые были представлены

на рынке электронных компонентов в 2007 г. Первая из них является преобразователем последовательного интерфейса I²C в два параллельных 8-разрядных порта ввода-вывода, а вторая – преобразователем последовательного интерфейса SPI в два параллельных 8-разрядных порта ввода-вывода. Рассмотрим состав и основные технические характеристики этих микросхем.

ОБЗОР И ХАРАКТЕРИСТИКИ

Обе микросхемы обеспечивают преобразование данных из последовательного интерфейса в параллельный 16-разрядный интерфейс, состоящий из двух 8-разрядных портов. Микросхемы отличаются только типом последовательного интерфейса: MCP23017 имеет интерфейс I²C, а MCP23S17 – интерфейс SPI. Набор внутренних регистров микросхем позволяет сконфигурировать любой вывод порта ввода-вывода. С помощью этих регистров можно задать направление, полярность и тип вывода. Кроме того, данные регистры позволяют создать гибкую систему с различными условиями генерации прерываний. Аппаратные адресные выводы используются для задания адреса самой микросхемы, что позволяет подключить к одному последовательному интерфейсу одновременно несколько таких микросхем.

Ниже перечислены особенности и основные технические параметры описываемых микросхем:

- наличие двух 8-разрядных дистанционных двунаправленных портов ввода-вывода А и В, которые по

умолчанию сконфигурированы как входы;

- скорость работы интерфейса I²C может составлять 100 кГц, 400 кГц или 1,7 МГц;
- скорость работы интерфейса SPI может достигать 10 МГц;
- три адресных вывода позволяют использовать до восьми микросхем на одной шине интерфейса;
- допускается конфигурировать выходной сигнал прерывания на выводах INTA и INTB как активный высокий уровень, активный низкий уровень или открытый сток;
- выходные сигналы прерываний INTA и INTB могут быть сконфигурированы для независимого или совместного обслуживания;
- источник сигнала прерываний конфигурируется с помощью специального регистра и по умолчанию настроен на слежение за изменением сигнала на выводах портов;
- полярность входных данных портов ввода может изменяться с помощью конфигурационного регистра полярности;
- содержит схему сброса при включении питания;
- наличие входа внешнего сброса;
- ток потребления в режиме ожидания не превышает 1 мкА;
- максимальный выходной ток любого вывода составляет 25 мА;
- суммарная максимальная рассеиваемая мощность составляет 700 мВт;
- диапазон рабочего напряжения от 1,8 до 5,5 В;
- температурный рабочий диапазон от -40 до +125°C;
- изготавливаются в 28-выводных корпусах типа PDIP (300mil), SOIC (300mil), SSOP и QFN (6 × 6 мм).

АРХИТЕКТУРА

На рисунке 1 представлена архитектура микросхем. Как видно из рисунка, микросхемы MCP23017 и

MCP23S17 имеют одинаковую структуру и отличаются лишь интерфейсным блоком. Три входных адресных сигнала позволяют задать адрес микросхемы. Это даёт возможность подключить к одному последовательному интерфейсу до восьми таких микросхем. Управление микросхемами осуществляется с помощью внутренних регистров конфигурации и управления. С помощью этих же регистров можно включить автоматическую инверсию для каждой входной линии порта А и В.

ОПИСАНИЕ ВЫВОДОВ

Назначение выводов микросхем MCP23017 и MCP23S17 приведено в таблице 1.

ПРОТОКОЛ ОБМЕНА С МИКРОСХЕМАМИ

Обращение к микросхемам по последовательному интерфейсу осуществляется путём передачи нескольких байт. Первый байт несёт информацию о коде операции, включающем в себя адрес микросхемы и режим обращения (чтение или запись). Второй передаваемый байт содержит адрес внутреннего регистра микросхемы. Третий байт содержит байт данных.

Микросхема MCP23017 с интерфейсом I²C поддерживает 7-разрядную адресацию. Восьмой разряд данных в управляющем байте определяет режим обращения к микросхеме. Он имеет обозначение R/W и иницирует режим чтения (R) или записи (W) при установке соответственно уровня лог. 1 или лог. 0 в этом разряде. Передача данных на шине всегда начинается со стартового условия S и заканчивается стоповым условием P, которые показаны на рисунке 2.

Для подтверждения приёма данных используется девятый бит квитирования, имеющий название ACK. Микросхема MCP23S17 с интерфейсом SPI поддерживает байтовый обмен данными и имеет вход выбора кристалла CS, наличие низкого уровня сигнала на котором разрешает обращение к ней. Формат управляющего байта данных для интерфейса I²C представлен на рисунке 3, а для интерфейса SPI – на рисунке 4.

Как видно из рисунков, адрес микросхем состоит из двух частей – неизменной части 0100, представляющей собой старшую часть двоично-

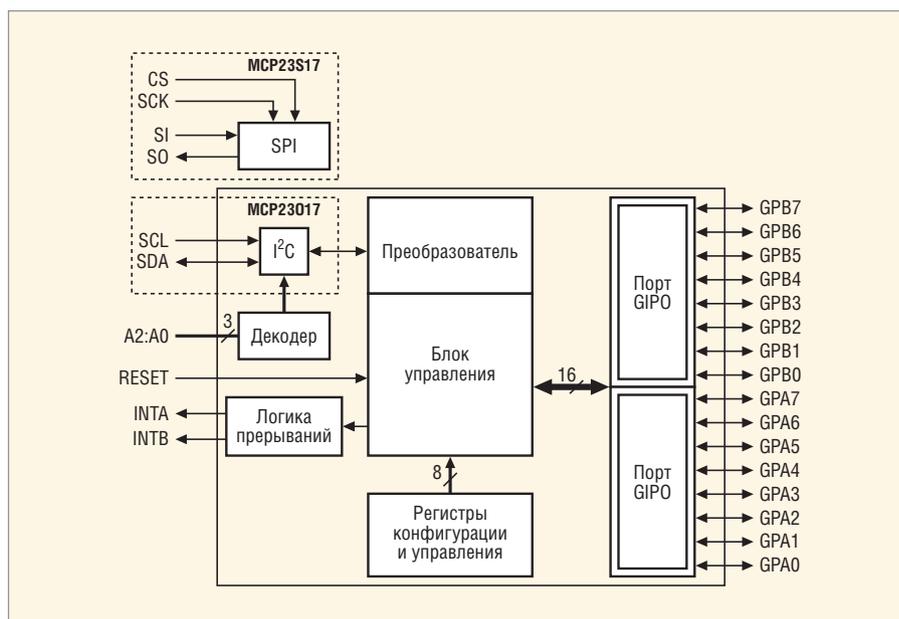


Рис. 1. Архитектура микросхем MCP23017 и MCP23S17

го адреса, и переменной младшей части адреса, определяемой состоянием разрядов A2, A1 и A0. При сов-

падении значения этих разрядов адреса и значения сигналов, установленных на адресных выводах

Таблица 1. Назначение выводов микросхем MCP23017 и MCP23S17

Имя вывода	Тип корпуса		Тип вывода	Описание
	PDIP/ SOIC/ SSOP	QFN		
GPB0	1	25	I/O	Двунаправленный цифровой вывод 0 порта В
GPB1	2	26	I/O	Двунаправленный цифровой вывод 1 порта В
GPB2	3	27	I/O	Двунаправленный цифровой вывод 2 порта В
GPB3	4	28	I/O	Двунаправленный цифровой вывод 3 порта В
GPB4	5	1	I/O	Двунаправленный цифровой вывод 4 порта В
GPB5	6	2	I/O	Двунаправленный цифровой вывод 5 порта В
GPB6	7	3	I/O	Двунаправленный цифровой вывод 6 порта В
GPB7	8	4	I/O	Двунаправленный цифровой вывод 7 порта В
VDD	9	5	P	Питание
VSS	10	6	P	Земля
NC/CS	11	7	I	Для MCP23017 – не используется, для MCP23S17 – выбор кристалла
SCL/SCK	12	8	I	Вход частоты синхронизации
SDA/SI	13	9	I/O	Для MCP23017 – последовательные двунаправленные данные, для MCP23S17 – последовательные входные данные
NC/SO	14	10	O	Для MCP23017 – не используется, для MCP23S17 – последовательные выходные данные
A0	15	11	I	Адресный вход 0
A1	16	12	I	Адресный вход 1
A2	17	13	I	Адресный вход 2
-RESET	18	14	I	Сброс
INTB	19	15	O	Выход прерывания порта В
INTA	20	16	O	Выход прерывания порта А
GPA0	21	17	I/O	Двунаправленный цифровой вывод 0 порта А
GPA1	22	18	I/O	Двунаправленный цифровой вывод 1 порта А
GPA2	23	19	I/O	Двунаправленный цифровой вывод 2 порта А
GPA3	24	20	I/O	Двунаправленный цифровой вывод 3 порта А
GPA4	25	21	I/O	Двунаправленный цифровой вывод 4 порта А
GPA5	26	22	I/O	Двунаправленный цифровой вывод 5 порта А
GPA6	27	23	I/O	Двунаправленный цифровой вывод 6 порта А
GPA7	28	24	I/O	Двунаправленный цифровой вывод 7 порта А

Условное обозначение: I – ввод, O – вывод, P – питание

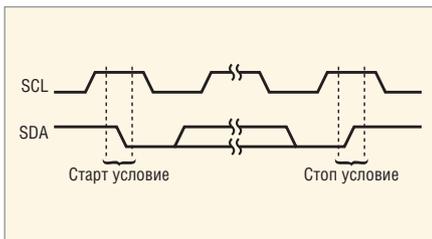


Рис. 2. Передача данных на шине

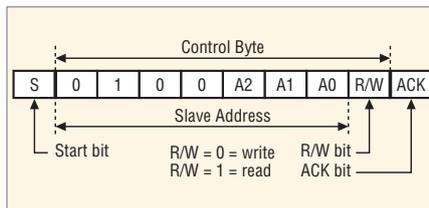


Рис. 3. Формат управляющего байта данных для интерфейса I²C

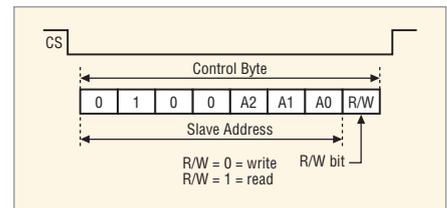


Рис. 4. Формат управляющего байта данных для интерфейса SPI

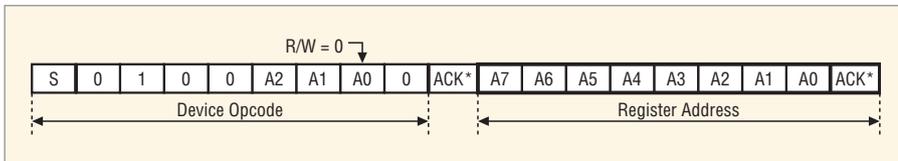


Рис. 5. Формат первого и второго байтов для интерфейса I²C

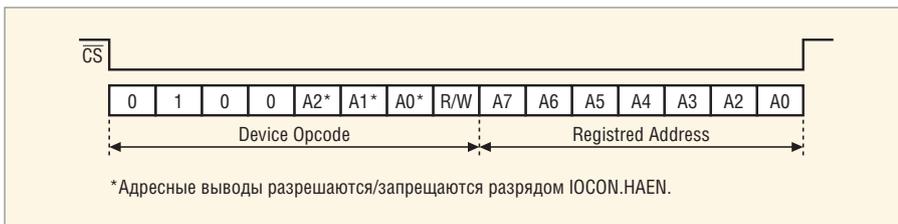


Рис. 6. Формат первого и второго байтов для интерфейса SPI

микросхемы, последняя будет откликаться на него.

Адресация внутренних регистров микросхем производится с помощью адреса, передаваемого во втором байте. Формат первого и второго байтов

для интерфейсов I²C и SPI представлено на рисунках 5 и 6 соответственно.

ОПИСАНИЕ РЕГИСТРОВ

Микросхемы MCP23017 и MCP23S17 имеют 11 регистров конфигурирования

и управления для порта А и 11 регистров для порта В. Адресовать эти регистры можно двумя способами, определяемыми состоянием в регистре IOCON разряда под названием BANK с условной записью IOCON.BANK. Если IOCON.BANK = 0, то адреса регистров порт А и В являются спаренными. Например, регистр IODIRA порта А имеет адрес 00h, а регистр IODIRB порта В имеет адрес 01h, и т.д. При этом все 22 регистра доступны в диапазоне адресов от 00h до 15h.

Если IOCON.BANK = 1, адреса регистров порт А и В отделены. Регистры, связанные с портом А, отображены на адреса 00h – 0Ah, а регистры, связанные с портом В, отображены на адреса 10h – 1Ah. Например, регистр IODIRA порта А имеет адрес 00h, а регистр IODIRB порта В имеет адрес 10h. Таким образом, разряд IOCON.BANK обеспечивает режим 8-разрядного и 16-разрядного обращения к регистрам микросхем. В таблице 2 приведены оба варианта адресации регистров микросхем MCP23017 и MCP23S17. Данная организация регистров позволяет пользователю самостоятельно выбрать удобный режим адресации для обращения к ним из программы.

Рассмотрим назначение каждого из регистров. В таблице 3 отображены имена разрядов всех регистров микросхем для портов А и В. Следует обратить внимание на то, что названия регистров для портов А и В отличаются друг от друга лишь последней буквой. Кроме того, регистр IOCON является единым для обоих портов, хотя и имеет два адреса.

Регистр IODIR определяет направление данных каждого разряда порта ввода-вывода. Когда любой разряд IO7 – IO0 этого регистра установлен в единичное состояние, соответствующий вывод порта становится входом; когда данный разряд сброшен, соответствующий вывод становится выходом.

Регистр IPOL отвечает за инверсию полярности входов портов. Когда лю-

Таблица 2. Адресация регистров микросхем MCP23017 и MCP23S17

имя регистра	8-разрядный режим		16-разрядный режим		
	адрес регистра (hex)		имя регистра	адрес регистра (hex)	
	IOCON.BANK = 0				IOCON.BANK = 1
IODIRA	00		IODIRA	00	
IPOLA	01		IODIRB	01	
GPINTENA	02		IPOLA	02	
DEFVALA	03		IPOLB	03	
INTCONA	04		GPINTENA	04	
IOCON	05		GPINTENB	05	
GPPUA	06		DEFVALA	06	
INTFA	07		DEFVALB	07	
INTCAPA	08		INTCONA	08	
GPIOA	09		INTCONB	09	
OLATA	0A		IOCON	0A	
IODIRB	10		IOCON	0B	
IPOLB	11		GPPUA	0C	
GPINTENB	12		GPPUB	0D	
DEFVALB	13		INTFA	0E	
INTCONB	14		INTFB	0F	
IOCON	15		INTCAPA	10	
GPPUA	16		INTCAPB	11	
INTFB	17		GPIOA	12	
INTCAPB	18		GPIOB	13	
GPIOB	19		OLATA	14	
OLATB	1A		OLATB	15	

бой разряд IP7 – IP0 этого регистра установлен в единичное состояние, соответствующий вход порта инвертируется; когда данный разряд сброшен, соответствующий вход порта не инвертируется.

Регистр GPINTEN управляет формированием прерывания для каждого вывода порта. Если любой из его разрядов GPINT7 – GPINT0 установлен, соответствующий вывод сформирует прерывание при изменении своего состояния. Сброс этих разрядов регистра запрещает формирование прерывания при изменении состояния входов портов.

Регистр DEFVAL представляет собой регистр сравнения с разрядами портов и позволяет формировать прерывания для каждого вывода порта при несовпадении соответствующего разряда порта и разряда DEF7 – DEF0 данного регистра.

Регистр INTCON управляет реакцией входов порта на регистр сравнения для формирования прерывания. Если разряд IOC7 – IOC0 установлен, соответствующий вход порта сравнивается с соответствующим разрядом в регистре DEFVAL. Если разряд

Таблица 3. Имена разрядов регистров микросхем MCP23017 и MCP23S17

Регистр	Адрес IOCON.BANK = 1	Разряд								Значение после сброса
		7	6	5	4	3	2	1	0	
IODIRA	00	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0	FFh
IPOLA	01	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0	00h
GPINTENA	02	GPINT7	GPINT6	GPINT5	GPINT4	GPINT3	GPINT2	GPINT1	GPINT0	00h
DEFVALA	03	DEF7	DEF6	DEF5	DEF4	DEF3	DEF2	DEF1	DEF0	00h
INTCONA	04	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0	00h
IOCON	05	BANK	MIRROR	SEQOP	DISSLW	HAEN	ODR	INTPOL	–	00h
GPPUA	06	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0	00h
INTFA	07	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	00h
INTCAPA	08	ICP7	ICP6	ICP5	ICP4	ICP3	ICP2	ICP1	ICP0	00h
GPIOA	09	GP7	GP6	GP5	GP4	GP3	GP2	GP1	GP0	00h
OLATA	0A	OL7	OL6	OL5	OL4	OL3	OL2	OL1	OL0	00h
IODIRB	10	IO7	IO6	IO5	IO4	IO3	IO2	IO1	IO0	FFh
IPOLB	11	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0	00h
GPINTENB	12	GPINT7	GPINT6	GPINT5	GPINT4	GPINT3	GPINT2	GPINT1	GPINT0	00h
DEFVALB	13	DEF7	DEF6	DEF5	DEF4	DEF3	DEF2	DEF1	DEF0	00h
INTCONB	14	IOC7	IOC6	IOC5	IOC4	IOC3	IOC2	IOC1	IOC0	00h
IOCON	15	BANK	MIRROR	SEQOP	DISSLW	HAEN	ODR	INTPOL	–	00h
GPPUB	16	PU7	PU6	PU5	PU4	PU3	PU2	PU1	PU0	00h
INTFB	17	INT7	INT6	INT5	INT4	INT3	INT2	INT1	INT0	00h
INTCAPB	18	ICP7	ICP6	ICP5	ICP4	ICP3	ICP2	ICP1	ICP0	00h
GPIOB	19	GP7	GP6	GP5	GP4	GP3	GP2	GP1	GP0	00h
OLATB	1A	OL7	OL6	OL5	OL4	OL3	OL2	OL1	OL0	00h

IOC7 – IOC0 сброшен, соответствующий вход порта сравнивается с его предшествующей величиной.

Регистр конфигурации IOCON содержит несколько разрядов для выбора конфигурации микросхемы:

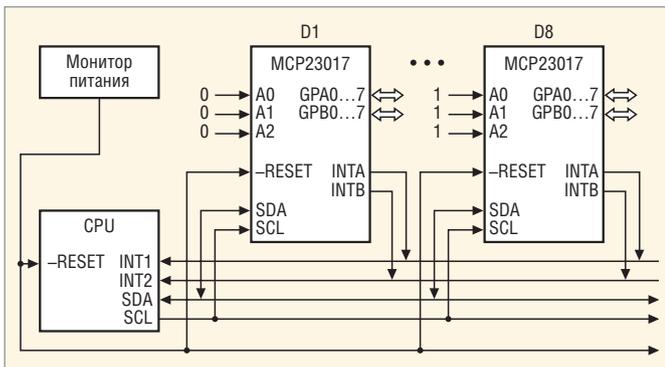


Рис. 7. Структурная схема подключения восьми микросхем MCP23017 к последовательному интерфейсу I²C

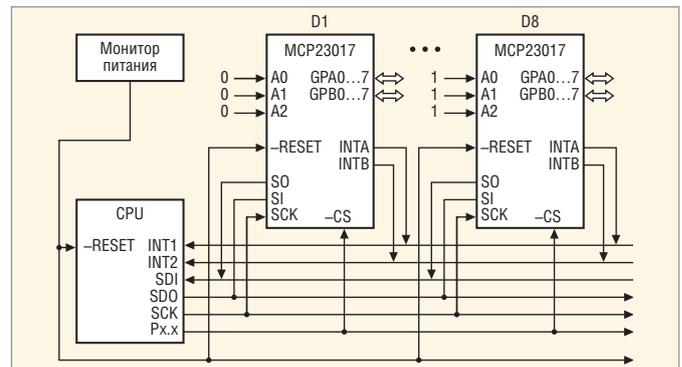


Рис. 8. Структурная схема подключения восьми микросхем MCP23S17 к последовательному интерфейсу SPI

- разряд 7 (BANK) определяет адресацию регистров (см. выше);
- разряд 6 (MIRROR) управляет отражением разрядов порта на вход прерывания. Если он сброшен, прерывание на выводе INTA формируется от порта A, а прерывание на выводе INTB формируется от порта B. Если данный разряд установлен, прерывание на выводах INTA и INTB формируется от любого из портов;
- разряд 5 (SEQOP) управляет автоматическим инкрементом адреса для режима последовательных операций. Если он сброшен, автоинкремент отключен, если установлен – автоинкремент включен. Это позволяет записывать и читать данные в один и тот же регистр, не указывая каждый раз его адрес, а также производить запись и чтение последовательно во все регистры, указав лишь адрес первого регистра;
- разряд 4 (DISSLW) позволяет контролировать скорость изменения сигнала SDA. Если он установлен, скорость изменения сигнала SDA не контролируется, если сброшен – контролируется;
- разряд 3 (HAEN) разрешает аппаратную адресацию (только для MCP23S17). Если он установлен, аппаратная адресация разрешена, а если сброшен – запрещена;
- разряд 2 (ODR) позволяет конфигурировать вывод прерывания как открытый сток, если он установлен. Если этот разряд сброшен, активный уровень вывода прерывания определяется разрядом полярности INTPOL;
- разряд 1 (INTPOL) определяет активный уровень вывода прерывания. Когда он установлен, активный уровень высокий, когда сброшен – активный уровень низкий;

- разряд 0 не используется и всегда читается как ноль.

Регистр GPPU служит для подключения к входам портов подтягивающих к источнику питания резисторов 100 кОм. Когда любой разряд из PU7 – PU0 этого регистра установлен в единичное состояние, соответствующий вывод порта подключается к подтягивающему резистору; когда данный разряд сброшен, соответствующий вывод порта отключается от резистора.

Регистр INTF отражает факт возникновения прерывания от выводов порта, которые сконфигурированы с помощью регистра GPINTEN. Установленный разряд этого регистра указывает, что соответствующий вход порта вызвал прерывание. Этот регистр предназначен только для чтения. Запись данных в этот регистр игнорируется.

Регистр захвата прерываний INTCAP позволяет определить уровень возникновения прерывания – 0 или 1. Этот регистр только читается и обновляется аппаратно во время возникновения прерывания. Регистр останется неизменным, пока прерывание не будет очищено с помощью чтения регистра INTCAP или GPIO.

Регистр GPIO отражает значение порта. Чтение из этого регистра считывает порт. Запись в этот регистр модифицирует регистр OLAT.

Регистр блокировки OLAT обеспечивает доступ к выходному буферу. Чтение из этого регистра заканчивается чтением буфера, а не самого порта. Запись в этот регистр модифицирует выходной буфер, который изменяет выводы, сконфигурированные в качестве выходов.

Конструкция

Конструктивно микросхемы могут быть изготовлены в одном из четырех типов корпусов.

Следует обратить внимание на очень удачное расположение выводов микросхем, которое позволяет разрабатывать простую трассировку для печатной платы. Чертежи корпусов с указанием размеров можно найти на интернет-странице производителя микросхем www.microchip.com.

СХЕМОТЕХНИКА ПРИМЕНЕНИЯ

На рисунке 7 показана структурная схема подключения восьми микросхем MCP23017 к последовательному интерфейсу I²C. В качестве управляющего устройства здесь выступает процессор CPU. Аналогичная схема подключения восьми микросхем MCP23S17 к последовательному интерфейсу SPI представлена на рисунке 8.

Как видно из представленных схем, первая из них – с последовательным интерфейсом I²C – заметно проще. Однако следует помнить, что тактовая частота данного интерфейса не превышает 1,7 МГц. Более сложная схема с последовательным интерфейсом SPI позволяет работать на частоте до 10 МГц.

ЗАКЛЮЧЕНИЕ

Поскольку стоимость описанных микросхем составляет около 1 долл. США, они хорошо конкурируют с другими микросхемами подобного типа. А простота их применения и удачное для трассировки платы расположение выводов делает их использование предпочтительным. Если требуется преобразовать последовательный порт в один параллельный байт, можно воспользоваться ранее выпущенными микросхемами MCP23008 и MCP23S08 этой же фирмы, имеющими один 8-рядный порт ввода-вывода.



Новости мира News of the World Новости мира

Датчик угла поворота для коммутации бесщёточных двигателей постоянного тока

Фирма *Austriamicrosystems* расширяет свой ассортимент изделий магнитным датчиком угла поворота AS5134. Характеристики AS5134 соответствуют AEC-Q100, датчик предназначен специально для работы в температурном диапазоне до 150°C. При разрешении 8,5 разрядов AS5134 способен различать 360 положений на полном обороте в 360 градусов. При этом угловое положение может опрашиваться через последовательный или ШИМ-интерфейс. Дополнительно имеются три различно программируемых выхода приращений, один из которых выдаёт трёхфазный сигнал коммутации для бесщёточных двигателей постоянного тока.

Ещё одним свойством является программирование от 1 до 6 пар полюсов. AS5134 может работать в режиме сбережения энергии с потреблением менее 1,5 мА при времени переключения в нормальный режим 250 мкс. Функциями AS5134 являются программирование нулевого положения, определённого пользователем, диагностика корректного позиционирования магнитов и способность распознавания перерывов питания.

www.austriamicrosystems.com

Renesas R8C/Tiny для систем управления двигателями

Фирма *Renesas Technology Europe* сообщает о наличии специализированных стандартных продуктов (ASSP) в серии 16-разрядных микроконтроллеров R8C/Tiny. Они пригодны в качестве решений для простых систем управления двигателями, систем освещения и небольших приборов. Всего выпущено четыре группы элементов: R8C/2E-2F и R8C/2K-2L. Группы R8C/2E и /2F имеют



32 контакта и оснащены Flash-памятью 8 или 16 Кб. Спектр аналоговых функций включает в себя аналого-цифровые и цифро-аналоговые преобразователи, два канала сравнения, последовательные UART-I/O-функции, а также 8-разрядный и 16-разрядный таймер.

www.vectorfields.com

Танталовые конденсаторы с интегрированной защитой

Танталовые конденсаторы семейства TAW фирмы *AVX* имеют защиту, включенную последовательно с ёмкостью, которая предотвращает короткое замыкание при выходе конденсатора из строя. Когда



ток, протекающий через конденсатор, превышает номинальный ток схемы защиты, конденсатор самостоятельно отключается, приобретая при этом сопротивление более 10 МОм. Конденсаторы не содержат свинец и соответствуют требованиям директивы RoHS.

www.avx.com

Широкополосный усилитель с напряжением питания 1,8 В

Компания *Infineon* представляет малошумящий широкополосный усилитель BGA728L7. По утверждению производителя, он является первым в мире малошумящим усилителем для мобильных ТВ-приложений, поддерживающим напряжения питания 1,8; 2,8; а также 3,3 В. Он спроектирован для диапазонов VHFIII, UHF и L. Кроме этого, он является предварительным телевизионным усилителем для мобильных приложений, который имеет два режима работы: высокое и низкое усиление. При слабых сигналах BGA728L7 в режиме высокого усиления усилитель повышает входную чувствительность за счёт коэффициента шума, равного 1,4 дБ, а также высокого усиления, равного 16 дБ. При мощных входных сигналах BGA728L7 может переключаться в режим низкого усиления, обеспечивая



при этом повышенную линейность при потребляемом токе 0,5 мА.

www.infineon.com/rfmmic

Оптрон в миниатюрном корпусе

Компания *Toshiba Electronics Europe* представляет миниатюрный фотооптрон, характеризующийся напряжением изоляции 3,75 кВ и скоростью передачи 50 Мб/с. Оптрон TLP117 содержит в корпусе MFSOP6 размером 4,4 × 3,6 × 2,5 мм инфракрасный GaAlAs-светодиод и фотодетектор с высоким коэффициентом усиления. Элемент работает с номинальным напряжением 5 В, максимальный потребляемый ток составляет 5 мА. Внутреннее экранирование гарантирует устойчивость к синфазным помехам ин-



тенсивностью не менее 10 кВ/мкс. TLP117 соответствует всем международным стандартам и гарантирует работоспособность в температурном диапазоне -40...105°C.

www.toshiba-components.com

DC/DC-преобразователи с входным напряжением 10...36 В

Фирма *Vicor* расширяет своё предложение DC/DC-преобразователей семейством Max1 28 V с входным диапазоном 10...36 В. Модули выдают восемь различных выходных напряжений в диапазоне 3,3...48 В при максимальной мощности 200 Вт и имеют четыре различных рабочих температурных диапазона вплоть до -55°C.

www.vicoreurope.com

Элементная база фазовой автоподстройки: системный подход

Юрий Никитин (Санкт-Петербург)

Качественные параметры синтезаторов частот можно реализовать в полной мере, когда разработчик радиоэлектронной аппаратуры хорошо разбирается не только в теории работы колец импульсно-фазовой автоподстройки частоты (ИФАП), но и в элементной базе.

В статье [1] были приведены основы теории и расчёта синтезаторной системы фазовой автоподстройки частоты (ФАП, PLL) и параметры элементов петли ФАП (операционных узлов). Рассмотрим более подробно предлагаемые на рынке микросхемы операционных узлов синтезаторных систем ФАП.

Первые ИС, содержащие петлю фазовой автоподстройки, были аналоговыми, т.е. и генератор, управляемый напряжением (ГУН, VCO), и фазовый детектор (ФД, phase discriminator), и «внешние» входные/выходные сигналы были аналоговыми. К таким ИС относятся NE560 – NE562, разработанные фирмой Signetix в начале 1970-х годов [2].

Микросхема NE560 предназначена для демодуляции сигналов с угловой модуляцией. Она содержит ГУН, ФД, усилитель, блок масштабирования и ограничитель. Микросхема NE561 дополнена квадратурным аналоговым перемножителем сигналов и может детектировать сигналы не только с угловой, но и с амплитудной модуляцией; её отечественный аналог – K174XA4. Микросхема NE562 имеет меньший уровень собственных шумов и обеспечивает выходные уровни сигнала, согласованные с уровнями сигнала TTL/КМОП цифровых микросхем. Управляемые генераторы этих микросхем нормально работали до частот

10...15 МГц при предельной частоте генерации 30 МГц. Между тем, стабильность генерируемой частоты была относительно низкой ($\pm 0,06\%/^{\circ}\text{C}$), а диапазон перестройки ГУН не превышал $\pm 15\%$ от установленной частоты. Микросхема LM565 компании National Semiconductor предназначена для демодуляции аналоговых сигналов на частотах до 500 кГц [3] и большого интереса не представляет.

При эксплуатации этих микросхем выявились и отдельные недостатки. Так, для сдвига уровней внутри микросхемы использовались стабилитроны, что вызывало существенное увеличение внутренних шумов петли ФАП и, соответственно, уменьшение чувствительности по сигнальному входу и снижение качества демодулированного сигнала.

Дальнейшим развитием серии NE56x стали аналоговые микросхемы NE/SE564 (см. рис. 1) и NE/SE567 (см. рис. 2) фирмы Philips. В настоящее время её производит под тем же обозначением компания NXP (бывшее отделение полупроводников компании Philips) [4]. Фирма ориентирует первую ИС на работу на частотах до 65 МГц при отсутствии времязадающего конденсатора и до 6,5 МГц при номинале времязадающего конденсатора 91 пФ, а вторую ИС – на диапазон частот до 1 МГц.

Микросхема NE/SE564 предназначена, прежде всего, для демодуляции

сигналов с угловой модуляцией (ЧМ-сигналов) на стандартной ПЧ 10,7 МГц приёмников УКМ/ЧМ (65...73 МГц) и FM (88...108 МГц) диапазонов, а также на звуковой ПЧ 5,5/6,5 МГц телевизионных приёмников [2]. Кроме того, ИС можно применять в декодерах сигналов телеметрии, для синхронизации данных и восстановления сигналов, в качестве следящих фильтров. Структурная схема NE/SE564 приведена на рисунке 3. Температурный диапазон варианта NExxx – от 0 до 70°C, а варианта SExxx (military) – от -55 до 125°C.

Микросхема NE/SE567 дополнена квадратурным фазовым детектором и в режиме синхронизма может демодулировать АМ-сигналы на стандартной ПЧ 455/465 кГц радиоприёмников ДВ-, СВ- и КВ-диапазонов (150 кГц – 23 МГц), а также на второй ПЧ 500 кГц любительских КВ-трансиверов и трансиверов СВ-диапазона (28 МГц). Обозначение выводов микросхемы NE/SE567 приведено на рисунке 2, а её структурная схема показана на рисунке 4.

Микросхема LM567 компании National Semiconductor (см. рис. 2) предназначена для демодуляции аналоговых АМ/ЧМ-сигналов на частотах до 500 кГц [3] и является полным аналогом микросхемы NE/SE567. Такие ИС можно использовать не только в указанных выше схемах, но и при построении систем фазовой автоподстройки частоты в модемах, модуляторах, умножителях частоты, при разделении каналов в стереофоническом ЧМ-вещании и, конечно, в низкочастотных синтезаторах частоты.

Микросхема LMC568 компании National Semiconductor также пред-

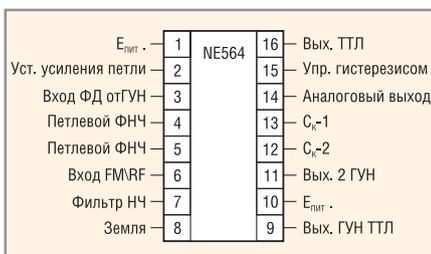


Рис. 1. Обозначение выводов микросхемы NE/SE564

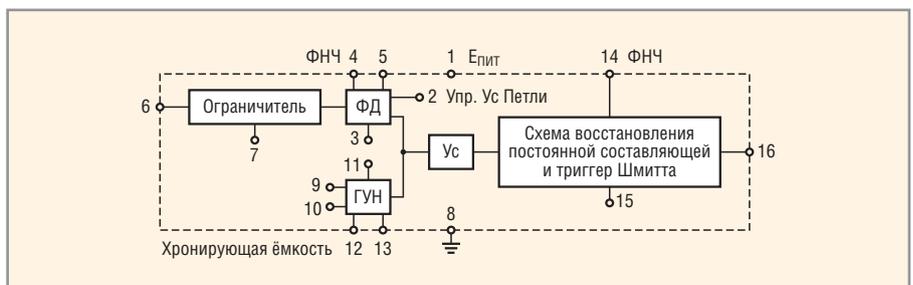


Рис. 2. Обозначение выводов микросхем NE/SE567 и LM567

назначена для демодуляции аналоговых АМ/ЧМ сигналов на частотах до 700 кГц; кроме того, её можно использовать для выделения несущей.

Петлевой фильтр нижних частот и раньше, и теперь традиционно находился (и находится) вне микросхемы ФАП, поскольку предусмотреть все возможные варианты применения ИС практически невозможно.

Исторически первой массовой цифровой микросхемой, в которой были реализованы принципы петли ИФАП, была микросхема CD4046, разработанная компанией RCA в 1970-х годах. Эта микросхема содержит все основные элементы кольца ИФАП: ГУН, импульсно-фазовые и частотно-фазовые детекторы (ИФД, ЧФД), формирователи импульсов по опорному (сигнальному, или, в обозначениях разработчиков микросхемы, SIGIN) и генераторному входу (входу тракта приведения ТП или COMPIN) (см. рис. 5).

В микросхеме CD4046 отсутствует лишь делитель частоты в тракте приведения. В то время степень интеграции была невысокой, а делители частоты на разные коэффициенты пересчёта (делители с переменным коэффициентом деления – ДПКД, integer-N divider) строились на основе распространённых счётчиков с устройствами опознавания и сброса (синхронных или дополненных схемой сквозного переноса) [5–7]. К тому же, ещё не был известен делитель частоты с прескалером [8].

Прескалер (русскоязычная «калька» от prescaler – предварительный делитель частоты, как правило, двухмодульный) появился для разрешения двух противоречий – технического и технологического. Техническое противоречие заключалось в обеспечении экономичности (по току потребления) цифрового делителя частоты при возрастающих требованиях к его быстродействию. Технологическое противоречие – в несовместимости двух процессов изготовления микросхем – высокочастотной биполярной и экономичной КМОП-технологии. Как только последнее противоречие удалось разрешить на одном кристалле и в одном технологическом цикле, рынок микросхем наполнился десятками типов PLL-синтезаторов, оснащённых полноценной интегрированной цифровой компонентой.

Микросхема CD4046 фактически стала стандартом и производится многими фирмами до настоящего времени. Например, компания Motorola производила её под обозначением MC74HC4046A, но потом передала компании Freescale (бывшее отделение полупроводников компании Motorola) [9]; та, в свою очередь, – компании On Semiconductor, но уже под обозначением MC14046B [10]. Компании NXP [4], Intersil [11] и Texas Instrument [12] маркируют эту микросхему 74/54HC/НСТ4046A; Минское НПО «Интеграл» – IN74/54HC4046A. Отечественный аналог ИС выпускается в сериях 564/К561/К1561 и обозначается xxxГТ1 [2].

На рисунке 6 приведена логическая структура цифровой части микросхемы CD4046. Частота генерации достигает 38 МГц при $C1 = 0$ пФ, $R1 = 9,1$ кОм, $R2 = \infty$ и 24 МГц при $C1 = 50$ пФ, $R1 = 3,5$ кОм, $R2 = \infty$ при изменении напряжения питания от 3 до 6 В в температурном диапазоне от -55 до 125°C для всех вариантов исполнения. Однако нестабильность генерируемой частоты превышает $0,11\%/^\circ\text{C}$. Типовые графики зависимостей генерируемой ИС типа CD4046 частоты от номиналов времязадающих компонентов приведены на рисунке 7.

Существует и низкочастотный вариант этой микросхемы, работающей с частотой генерации до 1,6...2,7 МГц и стабильностью до $\pm 0,015\%/^\circ\text{C}$ при напряжении питания 15 В. Компания TI обозначает его CD4046B, NXP – HEF4046B, Fairchild Semiconductor –

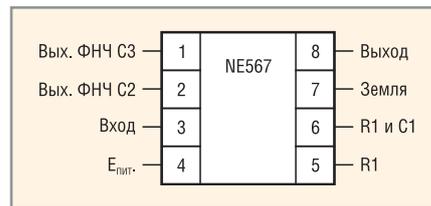


Рис. 3. Функциональная схема микросхемы NE/SE564

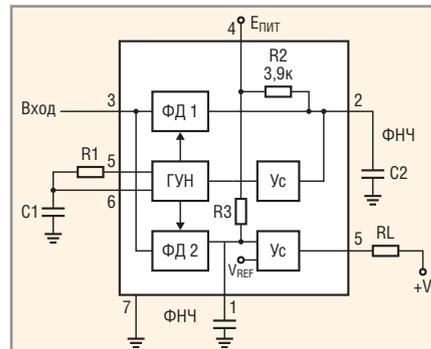


Рис. 4. Функциональная схема микросхемы NE567/LM567

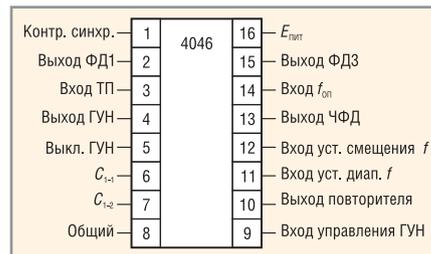


Рис. 5. Нумерация выводов микросхемы CD4046

CD4046BC [13]. Необходимо учитывать, что вывод 15 этой ИС является выводом внутреннего стабилитрона с напряжением стабилизации около 7 В, а ФД3 на основе RS-триггера отсутствует.

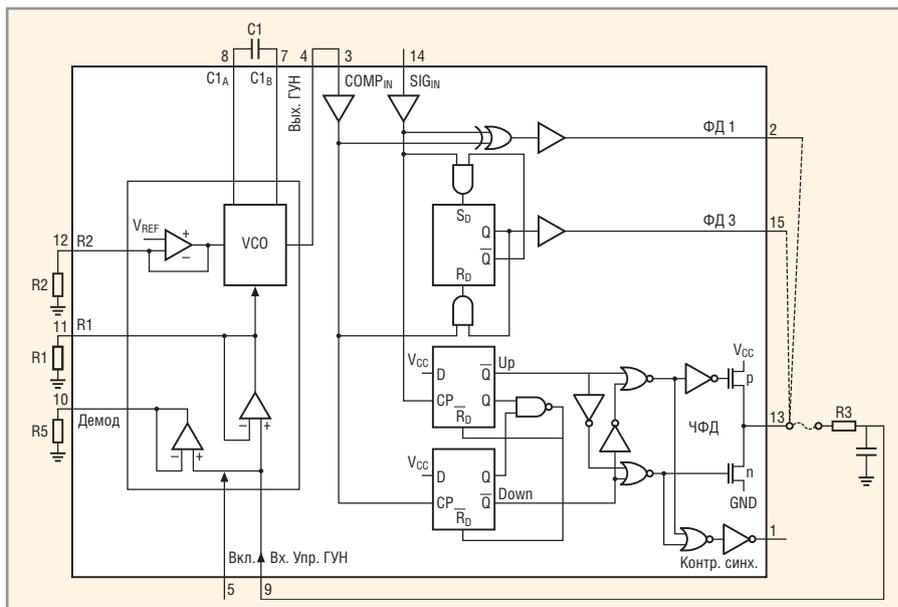


Рис. 6. Логическая структура цифровой части микросхемы CD4046

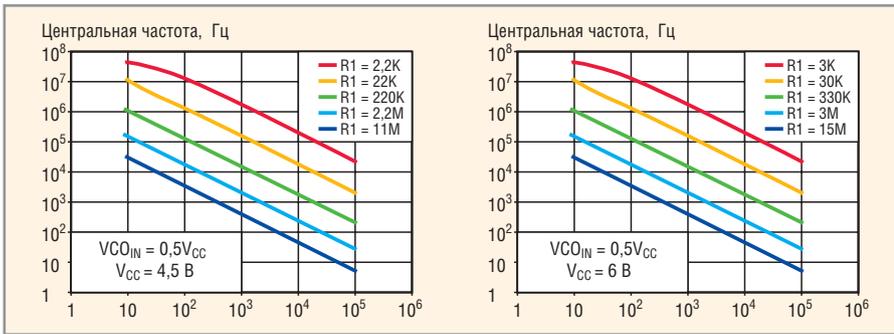


Рис. 7. Вариант зависимости перестройки ГУН микросхемы CD4046A по частоте от ёмкости C1 при $E_{упр} (V_{CO_{IN}}) = 0,5E_{пит} (V_{CC})$; $R2 = \infty$

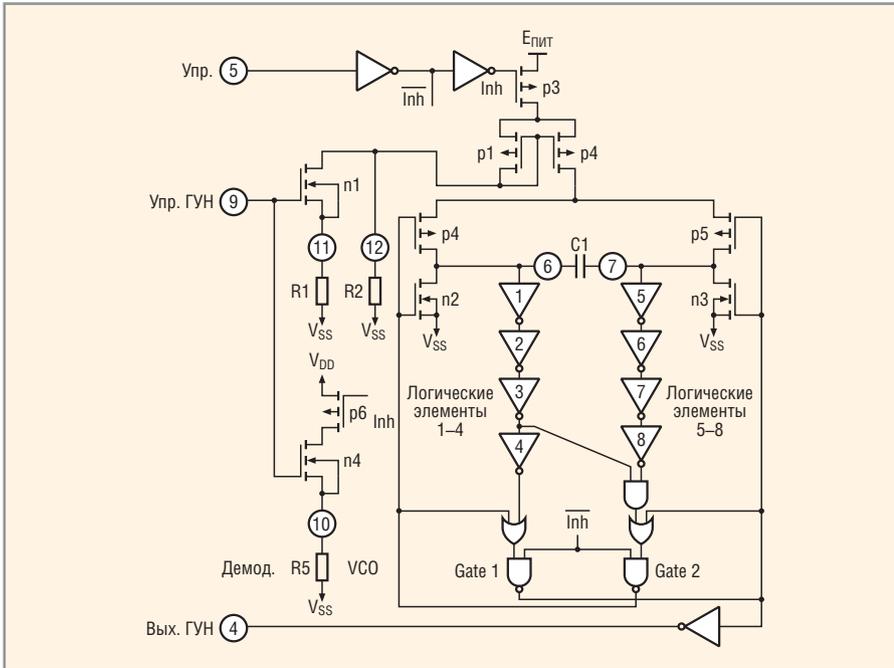


Рис. 8. Структурная схема ГУН микросхемы CD4046

На рисунке 8 приведена структурно-логическая схема секции ГУН микросхемы CD4046. Сигнал высокого уровня (лог. 1) на управляющем входе 5 разрешает работу ГУН. Времязадающий конденсатор C1 включен между выводами 6 и 7. Его перезаряжают ключи на полевых транзисторах n2-p5 или p4-n3, которые являются аналоговой частью мультивибратора. Скорость (и время) перезаряда

C1 определяет ток, генерируемый токовым зеркалом p1-p2, причём задающий резистор R2 определяет «дополнительный» постоянный ток и постоянное частотное смещение генерируемой частоты, а резистор R1 – вклад в перестройку ГУН управляющего напряжения на выводе 9.

Соотношение токов, определяемых резисторами R1 и R2, задаёт диапазон перестройки ГУН: при $R2 = \infty$ диапа-

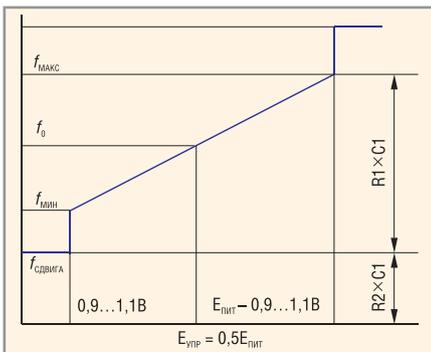


Рис. 9. Диапазон перестройки секции ГУН микросхемы CD4046

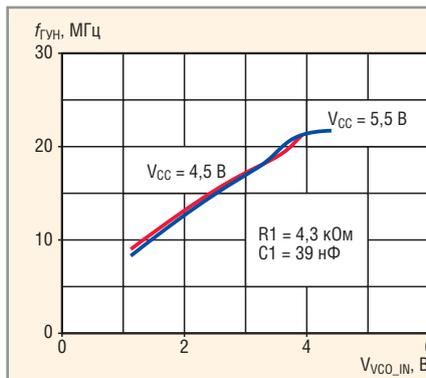


Рис. 10. Диапазон перестройки секции ГУН микросхемы 74HC9046

зон перестройки ГУН наибольший; при $R1 = \infty$ перестройка отсутствует, а частота генерации полностью определяется номиналами резистора R2 и конденсатора C1 (см. рис. 9). Рекомендуемое производителем минимальное значение времязадающего конденсатора $C1 \geq 40$ пФ, максимальное значение не ограничено. Выход 4 секции ГУН – чисто цифровой и полностью совместим с логическими схемами TTL/КМОП.

Дополнительный выход 10 (при наличии внешнего резистора R5) служит для отвода демодулированного напряжения низкой частоты с выхода фазового детектора, когда ИС используется в качестве демодулятора сигналов с угловой модуляцией.

Входной ток утечки по входу управления 9 не превышает 1 мкА; секция ГУН микросхемы CD4046 при питании от источника питания 6 В потребляет не более 80 мкА в диапазоне температур до 85°C, и не более 160 мкА – до 125°C.

Микросхема содержит в себе все основные элементы кольца ИФАП: набор импульсно-фазовых детекторов, формирователи импульсов по входу 3 (от ГУН) и по опорному входу 14 (сигнал). Набор из трёх ИФД в одной микросхеме, по современным понятиям, избыточен. Однако в 1970-х – 1980-х годах квазиастатические кольца ИФАП на основе ЧФД не были столь популярны, отсутствовало глубокое понимание механизма работы генератора подкачки тока заряда ЧФД и изодромного звена, а их теория только оформлялась [1].

Инженеры-разработчики активных цифровых синтезаторов повсеместно использовали спусковые ИФД на основе RS-триггеров, вследствие чего кольца ФАП были астатичны только по частоте и статичны по фазе, т.е. остаточная фазовая ошибка в

замкнутом кольце определялась, в том числе, и параметрами настройки «свободного» генератора. ИФД на основе схемы «исключающее ИЛИ» аналогичен ИФД на основе RS-триггера, работающему по фронтам (перепадам), но, в отличие от последнего, требует наличия меандра на входах. Напротив, ИФД на основе RS-триггеров запускаются короткими импульсами, формирование которых не составляет особого труда. Меандр на выходе счётчика импульсов можно легко получить, если на выходе счётчика находится счётный триггер (делитель на 2), что резко сужает область применения ИФД на основе схемы «исключающее ИЛИ».

Существенным недостатком ЧФД микросхемы CD4046 является большой разброс значений тока подкачки заряда (Charge Pump), который находится в пределах от 0,5 до 10 мкА при номинальном значении 5 мкА. Это существенно затрудняет расчёт параметров кольца ФАП и зачастую требует индивидуальной подстройки каждого узла, реализованного на этой ИС.

Развитием микросхемы серии 4046 стали ИС типа 74НС7046 компаний Philips, Intersil и TI – технологически улучшенный аналог ИС 74НС4046, но с детектором контроля синхронизма (Lock detect) вместо ИФД3 на основе RS-триггера (вывод 1). Необходимость такого контроля очевидна, и была предложена простая в реализации схема, которая работала лишь с одним внешним конденсатором фильтра. К сожалению, и в этой микросхеме, также широко распространённой на рынке, ток подкачки заряда находится в пределах от 0,5 до 10 мкА при номинальном значении 5 мкА. Такие технологические разбросы типичны для цифровой ИС и слабо влияют на качество её работы. Кроме того, в микросхеме 7046 к выводу 15 подключается внешний конденсатор схемы детектора контроля синхронизма; соответственно, внутренний стабилитрон отсутствует.

В микросхеме компаний Philips и TI типа 74НС9046 разработчиками реализована если не калибровка, то хотя бы установка внешним резистором значения тока подкачки заряда. В этой ИС ток подкачки заряда частотно-фазового детектора PC2_OUT изменяется в более узких пределах. Так, при $R_b = 40 \text{ кОм}$ $PC2_OUT = 1,06 \text{ мА}$ с разбросом значений от 0,53 до 2,12 мА.



Рис. 11. Нумерация выводов микросхемы TLC2932

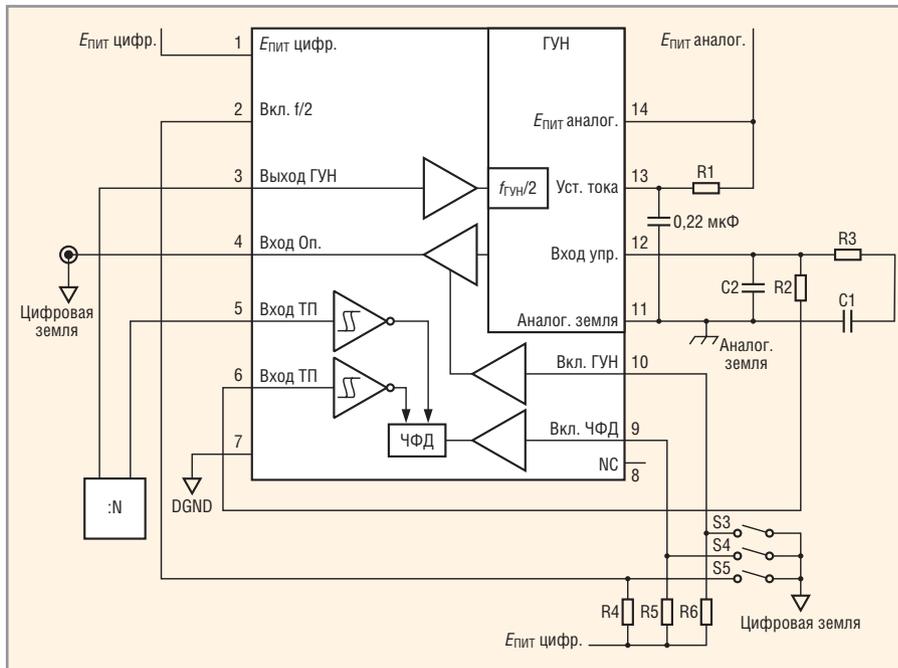


Рис. 12. Внутренняя структура микросхемы TLC2932

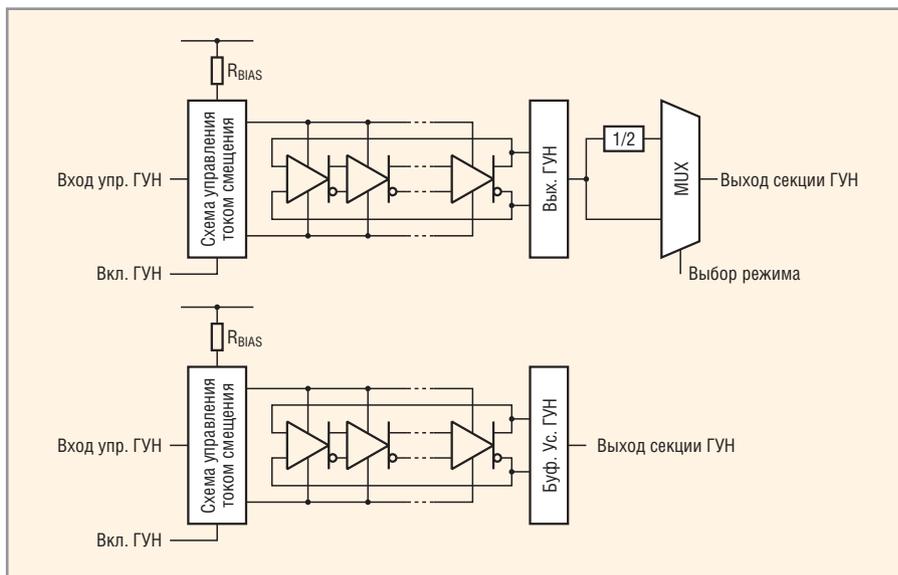


Рис. 13. Секция ГУН микросхем TLC2932/42 (вверху) и TLC2933/43 (внизу)

Температурная нестабильность ГУН менее 0,06%/°C (см. рис. 10).

Все остальные параметры микросхемы 9046 близки или совпадают с параметрами «младших» микросхем семейства 4046/7046. Кроме того, вывод 1 микросхемы соединён с землей (выводом 8), а токозадающий резистор R_b , предназначенный для уста-

новки тока подкачки заряда ЧФД, подключается к выводу 15.

Компания TI выпустила на рынок высокочастотный «клон» ИС типа CD4046 – микросхему TLC2932 (см. рис. 11) с максимальной частотой генерации 55 МГц при напряжении питания 5 В и до 23 МГц при 3 В. Структура микросхемы приведена на ри-

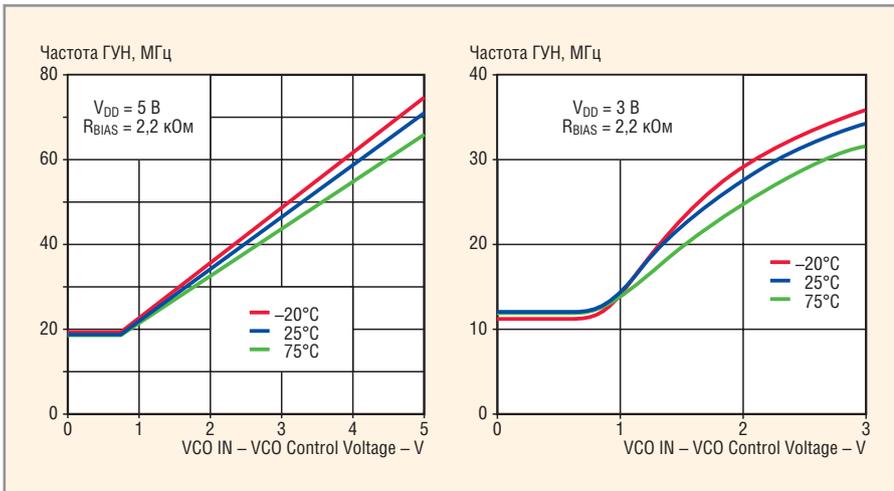


Рис. 14. Параметры ГУН микросхемы TLC2932 при $E_{пит} = 5 В$ (слева) и $E_{пит} = 3 В$ (справа)

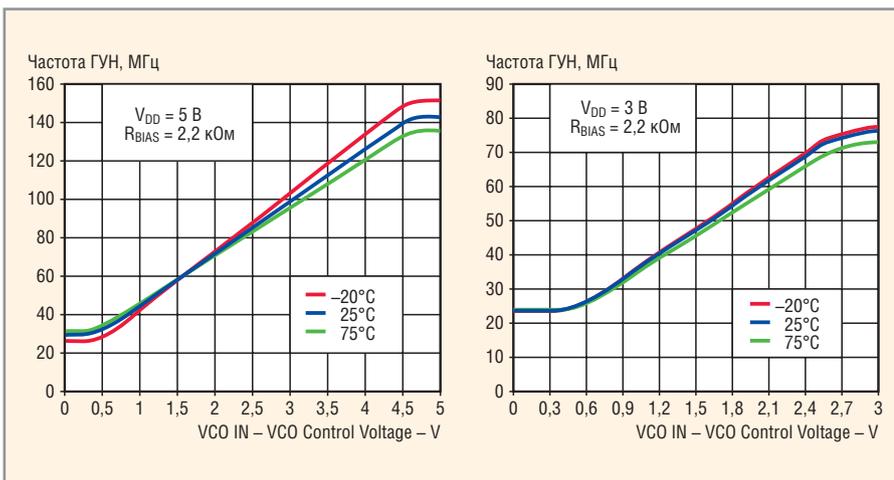


Рис. 15. Параметры ГУН микросхемы TLC2933 при $E_{пит} = 5 В$ (слева) и $E_{пит} = 3 В$ (справа)

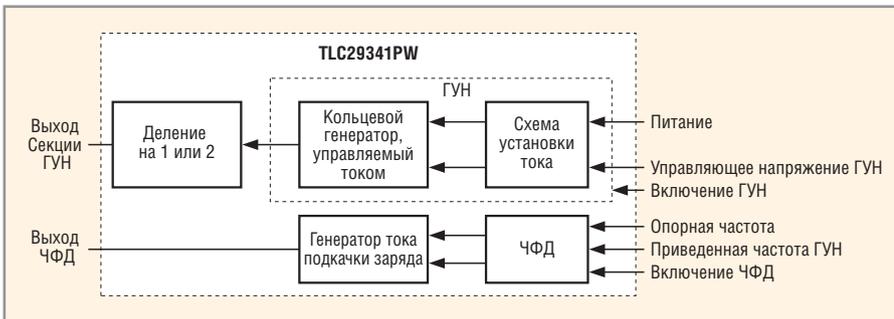


Рис. 16. Структурная схема TLC2934A

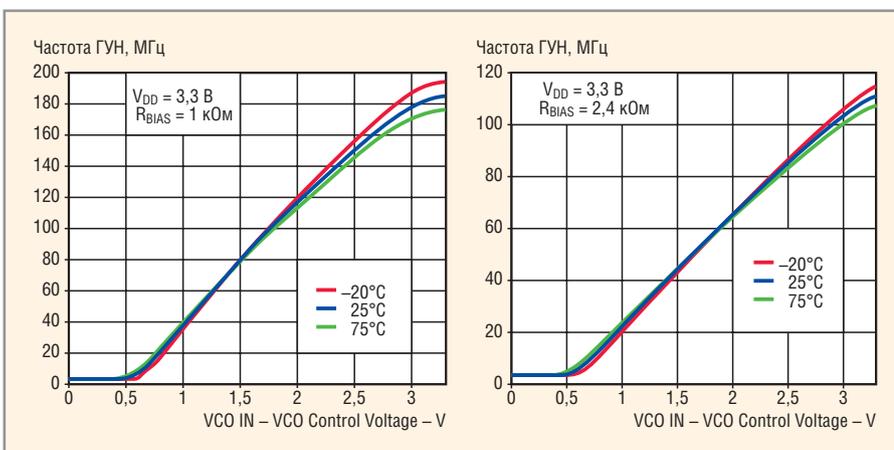


Рис. 17. Параметры ГУН микросхемы TLC2934 при различных значениях R_{BIAS}

сунке 12. По выходу ГУН в ИС имеется встроенный делитель частоты на 2, управляемый извне (см. верхнюю часть рисунка 13); характеристика управления ГУН этой микросхемы приведена на рисунке 14. Стабильность колебаний ГУН не хуже $-0,264\%/^{\circ}C$ в диапазоне температуры от -20 до $75^{\circ}C$. Максимальная рабочая частота ЧФД не превышает 38 МГц при напряжении питания $5 В$ и 22 МГц – при $3 В$. Выходной ток секции ЧФД составляет $\pm 0,5$ мА при разбросе более 100% .

Несколько слов о токе (токах) смещения BIAS. Внешний резистор, обозначаемый как R_{BIAS} , задаёт начальный ток смещения, который, наряду с времязадающим конденсатором C , определяет частоту генерации ГУН и в схеме генератора, построенного на основе перезаряда времязадающего конденсатора калиброванным током, и в схеме кольцевого (ring) генератора. В таких случаях правильнее говорить о генераторе, управляемом током (ГУТ), но внутри ИС предусмотрены схемотехнические элементы для преобразования тока в напряжение (или напряжения в ток, см. рис. 8). К тому же генераторы всех рассматриваемых в статье микросхем управляются напряжением с выхода петлевого фильтра кольца ФАП, поэтому мы везде используем обозначение ГУН.

Микросхема TLC2932 оказалась удачной, и появилась её модификация – TLC2933 – с максимальной частотой генерации до 130 МГц, но без встроенного делителя частоты на 2 (см. нижнюю часть рис. 13); вывод 2 обозначается test (см. рис. 11) и при соединении с землёй разрешает работу микросхемы. Рабочая частота ЧФД ≤ 50 МГц при напряжении питания $5 В$ и не превышает 30 МГц при $3 В$. Выходной ток подкачки заряда секции ЧФД составляет $\pm 0,5$ мА с разбросом более 100% . Стабильность колебаний ГУН не хуже $-0,309\%/^{\circ}C$ в диапазоне от -20 до $75^{\circ}C$ (см. рис. 15) и осталась примерно на том же уровне, что и у «родоначальницы» серии, но частотный диапазон ИС расширился, а линейность управляющей характеристики повысилась.

Микросхема TLC2934 при единственном питании $3,3 В$ позволяет получить на выходе секции ГУН частоту до 180 МГц. Она полностью совместима с микросхемами TLC2932/33 (см. рис. 16). Максимальная рабочая

частота ЧФД ≤ 50 МГц. Выходной ток подкачки заряда секции ЧФД составляет $\pm 1,5$ мА с разбросом более 100%. Нестабильность частоты ГУН резко уменьшилась и не превышает $0,03\%/^{\circ}\text{C}$ в диапазоне температур от -20 до 75°C (см. рис. 17). Все микросхемы серии TLC29xx используют стандартный ЧФД со схемой подкачки (поддержания) заряда; временные диаграммы его работы приведены в [1].

Компания Texas Instruments также выпускает двоянные микросхемы цифровых ФАП типа TLC2942 и TLC2943. Микросхема TLC2942 состоит из двух одинаковых секций TLC2932 с частотой генерации до 70 МГц при напряжении питания 5 В; ЧФД может работать на частотах 20 МГц.

Микросхема TLC2943 состоит из двух одинаковых секций TLC2933 с частотой генерации до 130 МГц при напряжении питания 5 В и 70 МГц при 3,3 В; при этом ЧФД может работать на частотах 50 и 30 МГц соответственно.

Подробную информацию об этих и других ИС можно найти в соответствующих разделах интернет-страниц их производителей.

Разумеется, рассмотренными микросхемами не исчерпывается всё многообразие цифровых систем фазовой автоподстройки. Однако описанные ИС были не просто первыми, но во многих аспектах стали прототипами более совершенных микросхем, цифровых трактов PLL в целом и отдельных операционных узлов – генераторов, усилителей постоянного тока, фазовых детекторов, прескалеров, делителей частоты различных видов и даже арифметических блоков. Спустя примерно 35 лет с момента появления первых микросхем серии 4046, стали доступными полностью интегрированные синтезаторы ФАП с минимальной внешней обвязкой.

ЛИТЕРАТУРА

1. Никитин Ю.А. Частотный метод анализа синтезаторной системы импульсно-фа-

зовой автоподстройки частоты. Современная электроника. 2007. № 4 – 6, 8, 9; 2008. №1.

2. Шило В.Л. Функциональные аналоговые интегральные микросхемы. Радио и связь, 1982.
3. www.national.com.
4. www.nxp.com.
5. Зарецкий М.М., Мовшиович М.Е. Синтезаторы частот с кольцом фазовой автоподстройки. Энергия, 1974.
6. Лейнов М.Л. и др. Цифровые делители частоты на логических элементах. Энергия, 1975.
7. Рыжков А.В., Попов В.Н. Синтезаторы частот в технике радиосвязи. Радио и связь, 1991.
8. Шишов С.Я. Быстродействующий делитель частоты с переменным коэффициентом деления. Техника средств связи, Серия ТРС. 1981. Вып. 9. С. 83–88.
9. www.freescale.com.
10. www.onsemi.com.
11. www.intersil.com.
12. www.ti.com.
13. www.fairchildsemi.com.



Новости мира News of the World Новости мира

Светодиод-вспышка

Фирма Avago объявила о миниатюрном светодиоде с автофокусировкой для плоских приборов. ASMT-FJ30, согласно информации производителя, является в настоя-

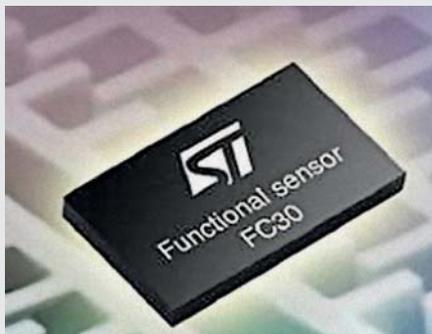


щее время самыми плоским светодиодом с автофокусировкой в мире (размеры корпуса $3,2 \times 2,4 \times 2,4$ мм). Оранжевый светодиод-вспышка является SMT-светодиодом с обтекателем и прозрачной, не диффузной линзой с углом рассеяния света 18° .

www.avagotech.com

Объёмный сенсор положения

Компания STMicroelectronics представила объёмный сенсор распознавания положения. Корпус LGA с 14 контактами имеет размеры $3 \times 5 \times 0,9$ мм. В распоряжении имеются три выведенных вывода прерываний.



Примером применения является автоматическое распознавание снимков в книжном и альбомном формате для переносных устройств со встроенной фотокамерой. Сенсор пригоден для компонентов с батарейным питанием и потребительских продуктов.

STMicroelectronics

Входной электромагнитный фильтр для преобразователей частоты

Фирма Epcos расширила ассортимент своих трёхпроводных электромагнитных фильтров серий для преобразователей частоты. Фильтры серии B84143D*R127 рассчитаны на токи 16...200 А при номинальном напряжении 520 В. При допустимой температуре 50°C они пригодны также для монтажа в распределительных шкафах. При их исполнении в форме книги они годятся для монтажа даже в теснённых усло-



виях. Приложениями являются насосы, вентиляционные установки, печатные машины и подъёмно-транспортное оборудование.

www.epcos.com

Сдвижные переключатели с монтажной высотой 0,9 мм

Фирма Alps предлагает сдвижные переключатели SSAH с длиной рабочего хода 1,5 мм и с монтажной высотой 0,9 мм. Размер опорной площадки составляет $9,5 \times 3,0$ мм. Сдвижные переключатели с боковым расположением движка представляют собой однополюсные трёхпозиционные переключатели и рассчитаны на коммутацию токов 1 мА при максимальном напряжении 5 В. Их срок службы составляет 10 000 циклов переключений. Начальное контактное сопротивление равно максимум 200 МОм. Типичными областями применения являются мобильные телефоны, цифровые камеры, цифровые видеокамеры и ноутбуки.

www3.alps.com

Генераторы на основе цифровых микросхем

(часть 1)

Сергей Копылов, Дмитрий Николаев,
Геннадий Шишкин (Нижегородская обл.)

Выполнен сравнительный анализ возможных схемотехнических решений генераторов прямоугольных импульсов на основе RS-триггеров, позволяющих улучшить параметры сигналов. Приведены формулы для расчёта периода повторения импульсов.

Структурная схема генератора прямоугольных импульсов в общем случае содержит времязадающие, пороговые и усилительные элементы [1]. При построении генераторов на основе логических элементов КМОП, отличающихся высокими порогами переключения, логические элементы выполняют функции и усилительных, и пороговых элементов. Возможные варианты времязадающих элементов могут быть синтезированы в виде различного рода интегрирующих, дифференцирующих или интегродифференцирующих цепей.

При использовании в качестве усилительного элемента RS-триггера на основе логических элементов ИЛИ-НЕ необходимо подавать задержанные сигналы лог. 1 поочередно на оба входа триггера, чтобы обеспечить переключение генератора. Для надёжной работы генератора переключающий сигнал лог. 1 должен формироваться логическим элементом триггера, находящимся в состоянии лог. 0, поэтому необходимо установить допол-

нительные инверторы на обоих выходах триггера. Однако такая структура имеет запрещённое устойчивое состояние, когда на обоих выходах триггера устанавливается уровень лог. 0, что создаёт возможность срыва колебаний генератора.

Кроме того, при использовании в качестве времязадающих элементов интегрирующих цепей возможно «зависание» логических элементов в линейном режиме вследствие неравенства их порогов переключения, особенно при большом периоде повторения импульсов.

Для исключения зависания логических элементов необходимо обеспечить скачкообразное увеличение напряжения на выходе времязадающего элемента, формирующего сигнал лог. 1 при переключении генератора, при помощи соответствующей цепи положительной обратной связи.

Установка триггера в запрещённое состояние может быть исключена при использовании в качестве усилительного элемента RS-триггера E-типа (RS_E-триггера) [1, 2] или при построении генератора по схеме, приведённой на рисунке 1, на основе усилительного элемента, который мы назовём RS_И-триггером.

В этой схеме (см. рис. 1) использованы времязадающие элементы интегродифференцирующего типа, обеспечивающие максимальную задержку сигналов лог. 1 и быстрое восстановление состояния лог. 0. Каждый времязадающий элемент определяет длительность одного из полупериодов.

Цепи внешней положительной обратной связи (по переменной составляющей) через конденсаторы времязадающих элементов исключают возможность зависания логических элементов в линейном режиме. Исключение установки триггера в запрещённое состояние обеспечивается подключением входов обоих времязадающих элементов к одному выходу RS-триггера через необходимое количество инверторов. Поскольку RS_И-триггер проще RS_E-триггера, использование схемы рис. 1 является предпочтительным.

Сопротивление R_0 (для уменьшения необходимой ёмкости конденсаторов) целесообразно выбирать как можно больше, однако его значение ограничено сверху, чтобы исключить влияние входного тока логических элементов на частоту генерируемых импульсов. Для более полного восстановления состояния конденсаторов сопротивление R_B должно быть как можно меньше, однако его значение ограничено снизу допустимыми выходными токами логических элементов: выходного вытекающего тока $I_{\text{доп}}^1$ и выходного втекающего тока $I_{\text{доп}}^0$. Коэффициент d выбирается из условия максимизации периода повторения импульсов.

В представленной схеме (см. рис. 1) напряжение на конденсаторе в момент окончания задержки $U_k = (1+d)U_{n1(2)} - dE$, где E – напряжение питания, $U_{n1(2)}$ – порог переключения соответствующего логического элемента. При этом

$$R_B \geq \frac{(1-d)E + (1+d)U_{n\max}}{\min\{I_{\text{доп}}^0, I_{\text{доп}}^1\}},$$

где $U_{n\max}$ – максимальное значение порога переключения логических элементов. Напряжение на конденсаторе в момент начала задержки

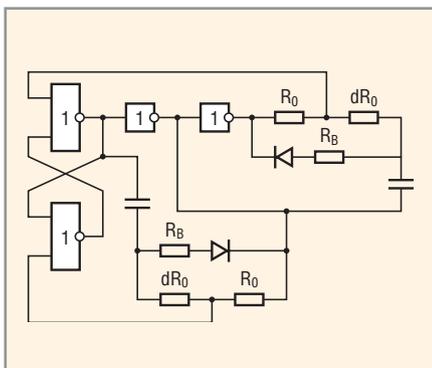


Рис. 1. Генератор импульсов на основе RS_И-триггера

зависит от сопротивления R_B и равно U_H .

При построении генераторов на основе логических элементов КМОП, обладающих большим входным сопротивлением и достаточно большой нагрузочной способностью, как правило, $R_B \ll R_0$ и $U_H \approx -E$.

В рассматриваемой схеме в начале формирования задержки происходит частичный ускоренный разряд конденсатора с участием диода входной защитной цепи соответствующего логического элемента [3]. Напряжение на конденсаторе в момент окончания ускоренного разряда равно $-dE$.

Длительность ускоренного разряда конденсатора любого времязадающего элемента не зависит от параметров логических элементов и равна:

$$t_y = dR_0 C \ln \frac{E}{dE} = dR_0 C \ln \frac{1}{d}.$$

Длительность дальнейшего перезаряда каждого конденсатора опреде-

ляется порогом срабатывания логического элемента нагрузки и равна:

$$t_{\partial 1(2)} = (1+d)R_0 C \ln \frac{E}{E-U_{n1(2)}}.$$

Выражение для периода повторения импульсов можно представить в виде:

$$T = R_0 C \left[2d \ln \frac{1}{d} + (1+d) \ln \frac{E^2}{(E-U_{n1})(E-U_{n2})} \right].$$

Если используются логические элементы из одного корпуса микросхемы,

$$U_{n1} = U_{n2} = U_n,$$

тогда

$$T = 2R_0 C \left[d \ln \frac{1}{d} + (1+d) \ln \frac{E}{E-U_n} \right].$$

Характерной особенностью логических элементов КМОП является

большой технологический разброс порогов срабатывания, которые могут изменяться в диапазоне $(0,3...0,7)E$, где E – напряжение питания [3].

Анализ полученного выражения показывает, что при

$$U'_n = \frac{U_n}{E} = 0,3$$

максимальное относительное значение периода

$$T_{\text{отп}} = \frac{T}{R_0 C} = 1,76$$

достигается при оптимальном значении $d_{\text{отп}} = 0,53$. При $U_n = 0,7$ максимальное относительное значение периода $T_{\text{отп}} = 4,86$ достигается при $d_{\text{отп}} = 1,23$. Следовательно, при увеличении порога переключения логических элементов в диапазоне $U_n = 0,3...0,7$ период повторения импульсов увеличивается в 2,76 раза, а оптимальное значение d увеличивается в 2,32 раза. Существенным недостатком схемы (рис. 1) является сильная зависимость периода повторения

импульсов от порогов переключения логических элементов КМОП, которые могут находиться в диапазоне $(0,3...0,7)E$.

Указанная зависимость ослабляется при построении схемы генератора [4] в соответствии с рисунком 2 на основе усилительного элемента, который мы назовём триггером RS_M -типа. Одновременно достигается некоторое уменьшение схемных затрат за счёт совмещения времязадающих элементов.

Совмещённый времязадающий элемент (обведён пунктиром) обеспечивает задержку сигналов лог. 1 и быстрое восстановление состояния лог. 0 на одном выходе и задержку сигналов лог. 0 и быстрое восстановление состояния лог. 1 на другом выходе. В связи с этим выражение для периода повторения импульсов принимает следующий вид:

$$T = R_0 C \left[2d \ln \frac{1}{d} + (1+d) \ln \frac{E^2}{U_{n1}(E-U_{n2})} \right]$$

При условии $U_{n1} = U_{n2} = U_n$

$$T = R_0 C \left[2d \ln \frac{1}{d} + (1+d) \ln \frac{E^2}{U_n(E-U_n)} \right]$$

Анализ данного выражения показывает, что при $U'_n = 0,5$ максимальное значение $T_{отн} = 2,86$ достигается при $d_{опт} = 0,74$. При $U_n = 0,3$ или $U_n = 0,7$ максимальное значение $T_{отн} = 3,17$ достигается при $d_{опт} = 0,80$ и практически сохраняется на этом уровне при $d = 0,74$. Следовательно, при отклонении порога переключения от значения $U_n = 0,5$ период повторения увеличивается на 11%, а оптимальное значение d – на 9%.

Дальнейшее уменьшение количества элементов схемы достигается при выполнении RS_M -триггера на основе мажоритарного элемента [5, 6] и построении схемы генератора в соответствии с рисунком 3, где

$$R1 = \frac{R_0}{1+k}$$

Усилительный и времязадающий элементы в схемах рисунках 2 и 3 взаимозаменяемы.

В схеме, показанной на рисунке 3, в начале формирования задержки происходит полный ускоренный разряд соответствующего конденсатора. При этом длительность ускоренного разряда любого конденсатора в процессе формирования задержки составляет:

$$t_y = \frac{k}{(1+k)^2} R_0 C \ln \left(2 + \frac{1}{k} \right)$$

Длительность дальнейшего заряда одного из конденсаторов:

$$t_{д1} = \frac{1}{1+k} R_0 C \ln \frac{E}{E-U_{n1}}$$

Длительность заряда другого конденсатора:

$$t_{д2} = \frac{1}{1+k} R_0 C \ln \frac{E}{U_{n2}}$$

Период повторения импульсов определяется формулой:

$$T = \frac{1}{1+k} R_0 C \left[\frac{2k}{1+k} \ln \left(2 + \frac{1}{k} \right) + \ln \frac{E^2}{U_{n1}(E-U_{n2})} \right]$$

Если выполняется условие $U_{n1} - U_{n2} = U_n$

$$T = \frac{1}{1+k} R_0 C \left[\frac{2k}{1+k} \ln \left(2 + \frac{1}{k} \right) + \ln \frac{E^2}{U_n(E-U_n)} \right]$$

Анализ приведённого выражения показывает, что при $U_n = 0,5$ максимальное значение $T_{отн} = 1,70$ достигается при $k_{опт} = 0,18$. При отклонении порога переключения от среднего значения оптимальное значение k уменьшается на 9,7% до значения 0,16, а период повторения импульсов увеличивается на 8,1% до $T_{отн} = 1,85$ и практически сохраняется при $k = 0,18$.

Таким образом, при разработке генераторов прямоугольных импульсов на основе RS-триггеров целесообразно в качестве усилительных элементов использовать RS_M -триггеры. При этом существенно уменьшается зависимость периода

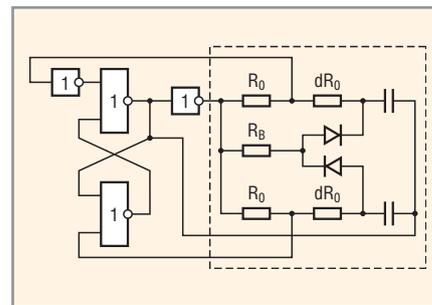


Рис. 2. Генератор импульсов на основе триггера RS_M -триггера

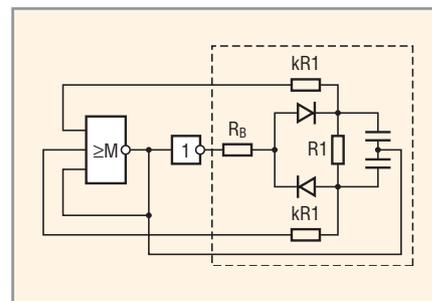


Рис. 3. Генератор импульсов на основе мажоритарного элемента

повторения импульсов от порогов переключения логических элементов, а использование времязадающего элемента по схеме рис. 2 позволяет увеличить период повторения импульсов по сравнению с времязадающим элементом по схеме рис. 3 в 1,7 раза.

Продолжение следует

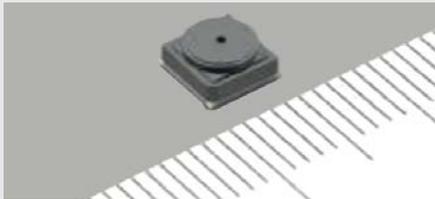
ЛИТЕРАТУРА

1. Яковлев В.Н., Воскресенский В.В., Мирошниченко С.И. и др. Справочник по микроэлектронной импульсной технике. Киев: Техника, 1983.
2. Рыжаков Е.И., Шишкин Г.И. Пат. 2236748 РФ, МКИ Н03К3/28. Мультивибратор. Изобретения, Полезные модели. 2004. № 26.
3. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. Энергоатомиздат, Ленинградское отделение, 1986.
4. Крамков Г.И., Шишкин Г.И. Пат. 2231917 РФ, МКИ Н03К3/28. Генератор импульсов. Изобретения, Полезные модели. 2004. № 18.
5. Крамков Г.И., Шишкин Г.И. Пат. 2231916 РФ, МКИ Н03К3/28. Генератор импульсов. Изобретения. Полезные модели. 2004. № 18.
6. Островский О.А., Шишкин Г.И. Пат. 2234798 РФ, МКИ Н03К3/26. Генератор импульсов. Изобретения, Полезные модели. 2004. № 23.



Новости мира News of the World Новости мира

1/10-дюймовый модуль VGA-камеры



Фирма Alps предлагает FPDJ8, серию 1/10-дюймовых (1,8 мм) модулей VGA-камер для использования в мобильных телефонах, наладонных игровых консолях и т.п. Они имеют корпус размером 5,0 × 5,0 × 2,2 мм и показатель диафрагмы 2,8. При двух линзах и датчике изображения размером 1/10 дюйма модули достигают VGA-разрешения до 640 × 480 точек изображения. Диапазон фокусировки от 20 см до бесконечности. Другими техническими параметрами являются искажение изображения менее одного процента и угол обзора по горизонтали 54,2 градуса, по вертикали 42,0 градуса и по диагонали 65,4 градуса. Камеры способны представлять при VGA-разрешении 30 кадров в секунду.

www3.alps.com

TSMC присматривается к рынку чипов для автомобилей

Крупный тайваньский производитель интегральных микросхем, компания Taiwan Semiconductor Manufacturing (TSMC), начала говорить о возможности своего выхода на рынок чипов, применяемых в критически важных узлах систем бортовой автомобильной электроники. Уточнение по поводу области использования весьма существенно, поскольку количество производителей компонентов автомобильной электроники вообще достаточно велико, однако большинство из них предлагает комплектующие для систем, напрямую не связанных с основными системами автомобиля (приложения развлекательно-информационного характера), либо для вспомогательных систем (например, контроллеры электропитания приводов стеклоподъемников).

Для критических узлов автомобильной электроники, таких как блоки управления двигателем или тормозной системой, требования к надёжности работы существенно выше, чем к полупроводниковым компонентам для широкого применения, а от соответствующего производства требуется соответствие спецификации «нулевого

количества дефектов» (zero-defect) и наличия длительной программы поддержки. В настоящее время у TSMC нет производства, соответствующего этим требованиям, но компания считает, что вполне может овладеть необходимой методологией.

Автомобильные приложения могут стать частью объявленной компанией новой стратегии, ориентированной на предложение заказчикам скорее не отдельных компонентов, а платформенно-ориентированных решений, возможно, даже включающих не только аппаратные, но и программные компоненты. Типичный состав платформы может состоять из процессора, логики, блоков ввода-вывода и прошивки. С точки зрения места производства для выпуска «автомобильных» чипов, могут использоваться относительно старые заводы TSMC. Не так давно компания выделила в отдельные подразделения «передовое производство», оснащённое согласно новейшим технологиям чипов, и «массовое производство», основывающееся на технологиях предыдущих поколений.

3dnews

Sharp превратит береговую линию Японии в огромную солнечную электростанцию

Kansai Electric Power и Sharp представили крупномасштабный проект выработки энергии солнца с постройкой объектов генерации солнечной энергии мощностью 10 МВт в пределах береговой линии Сакаи-сити, префектура Осака, Япония.

По этому плану генерирующие мощности будут располагаться в двух районах. В одном из них построят солнечную электростанцию, рассчитанную на 10 МВт. На этом месте производилась свалка производственных отходов. На втором участке появятся силовые установки для производства энергии суммарной мощностью 18 МВт. Сразу после запуска солнечной



электростанции в 2010 г. выходная мощность будет составлять около 9 МВт.

Солнечные батареи будут установлены на крышах зданий комплекса. Для солнечных батарей будут использоваться кремниевые тонкоплёночные модули производства Sharp, которые начнут массово производить в марте 2010 г. Все потребности в электроэнергии для функционирования и нормальной работы промышленной зоны будут покрываться собственной выработанной энергией.

3dnews

Philips Power2Charge – альтернатива розетке всегда и везде



Для тех, кто не представляет своей жизни без электронных развлечений в поездках, компания Philips анонсировала аккумуляторные блоки новой серии Power2Charge, которые позволяют использовать привычные электронные устройства в любом месте без необходимости «привязки» к электророзеткам.

Аккумуляторные блоки SCE4420 и SCE4430 удобны благодаря наличию в комплекте штекеров для устройств большинства марок мобильных телефонов и коммуникаторов, bluetooth-гарнитур, плееров, фотоаппаратов, GPS-навигаторов, а также для игровых приставок Xbox.

Батареи позволяют зарядить мобильный телефон приблизительно на 7 ч разговора, а MP3-плеер – на 15 ч прослушивания музыки. Модели снабжены световым индикатором, который указывает оставшуюся ёмкость аккумулятора и напоминает, когда необходимо выполнить подзарядку. Время зарядки составляет от 4,5 до 6,5 ч. Блоки питания обеспечены встроенной защитой от перезарядки.

Разница между моделями заключается в комплектации: SCE4430 поставляется в комплекте с адаптером SCM2280, с помощью которого можно заряжать аккумуляторный блок из розетки. При этом оба устройства можно заряжать через USB-порт. Адаптер можно также приобрести отдельно.

3dnews

Схемы оптоэлектронного управления мощными МОП-транзисторами

Борис Сергеев (г. Екатеринбург)

В статье рассмотрены схемотехнические особенности оптоэлектронного управления МОП-транзисторами в устройствах силовой электроники. Показано, что использование фотодиодов позволяет оптимизировать схемы управления и получить новые полезные качества ключей.

Преимущества МОП-транзисторов перед биполярными транзисторами в устройствах силовой электроники известны, и одним из важнейших является минимизация мощности, затрачиваемой на управление ключами. Исследованы и разрабатываются различные типы схем управления МОП-транзисторами [1]. Рассматриваются вопросы применения оптоэлектронных устройств для реализации гальванической развязки управляющего входа, которая является необходимым функциональным свойством устройств силовой электроники [2].

На рисунке 1 показан пример использования оптоэлектронного устройства для управления ключом на МОП-транзисторе [3]. Поскольку входное сопротивление силового МОП-транзистора (V_{T_c}) $R_{вх} \rightarrow \infty$, то при наличии тока $i_{св}$, протекающего через светодиод $VD_{св}$ оптопары, напряжение затвор-исток V_{T_c} определяется как $U_{зи} = kU_{ф}$, где $U_{ф-ЭДС}$ – напряжение фото-ЭДС одного фотодиода оптопары. Однако это относится лишь к статическому режиму работы транзистора V_{T_c} , когда длительность переходных процессов переключения пренебрежимо мала по отношению к частоте следования импуль-

сов переключения транзисторного ключа.

На рисунке 2а приведены вольтамперные характеристики (ВАХ) фотодиода, соответствующие темновому режиму работы, когда $\Phi = 0$, и режиму генерации фото-ЭДС, для которого $\Phi > 0$. Характеристика имеет две особые точки: ток короткого замыкания $I_{кз}$ и напряжение холостого хода $U_{хх}$. Значение $U_{хх}$ для кремниевых фотодиодов, применяемых в оптопарах, находится в пределах 0,3...0,5 В. На рисунке 2б показана типовая сток-затворная характеристика МОП-транзистора. Она показывает, что для обеспечения включенного состояния V_{T_c} в статическом режиме работы требуется обязательное выполнение неравенства $kU_{хх} > U_{зи\text{пор}}$. При наличии тока стока $I_{с\text{макс}}$ и необходимости получения достаточно малого напряжения сток-исток $U_{си\text{вкл}}$ транзистора во включенном состоянии требуется напряжение $u_{зи} = U_{зи1} > U_{зи\text{пор}}$ (см. рис. 2б). Это напряжение должно быть равно:

$$U_{зи1} = kU_{хх} \geq \left(\frac{I_{с\text{макс}}}{S_{\text{мин}}} + U_{зи\text{пор}} \right), \quad (1)$$

где $S_{\text{мин}}$ – минимальное нормированное значение крутизны характеристики МОП-транзистора.

Из выражения (1) может быть определено количество фотодиодов k , которое требуется для создания необходимой величины $U_{зи1}$. Очевидно, что для уменьшения k требуются МОП-транзисторы с малыми значениями пороговых напряжений $U_{зи\text{пор}}$.

Одним из недостатков мощных МОП-транзисторов являются значительные междуэлектродные ёмкости затвор-исток ($C_{зи}$), сток-исток ($C_{си}$) и сток-затвор ($C_{сз}$), пропорциональные крутизне характеристики. Влияние этих ёмкостей на процессы переключения МОП-транзистора имеет сложный характер [3]. Далее будут рассмотрены переходные процессы переключения V_{T_c} при учёте одной ёмкости – $C_{зи}$.

Динамические процессы работы транзисторного ключа зависят от характера взаимозависимости токов и напряжений ВАХ фотодиодов, которая может быть выражена дифференциальными сопротивлениями, показанными на рисунке 2а пунктирными линиями сопротивлений $R_{вкл}$ и $R_{выкл}$. Эти зависимости определяют временные параметры переходных процессов включения и выключения МОП-транзистора соответственно. Если аппроксимировать нелинейные ВАХ фотодиода (см. рис. 2а) прямыми линиями и соответствующими источниками напряжения, то эквивалентная схема входной цепи МОП-транзистора с учётом ёмкости $C_{зи}$ будет иметь вид, показанный на рисунке 3. Постоянные времени заряда и разряда ёмкости $C_{зи}$, определяющие дли-

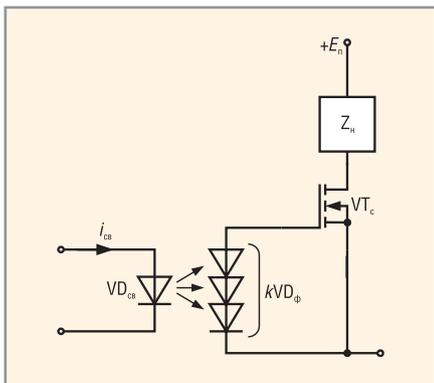


Рис. 1. Схема ключа на МОП-транзисторе

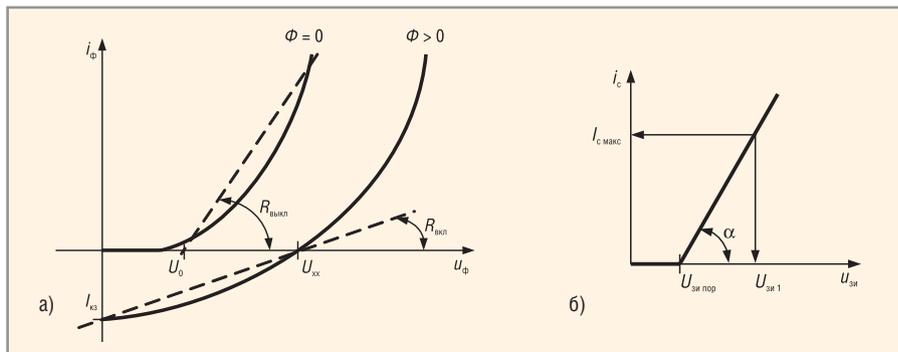


Рис. 2. Вольтамперная характеристика фотодиода (а) и сток-затворная характеристика МОП-транзистора (б)

тельность переходных процессов включения и выключения МОП-транзистора, равны:

$$t_{\text{вкл}} = kR_{\text{вкл}}C_{\text{зи}}, t_{\text{выкл}} = kR_{\text{выкл}}C_{\text{зи}} \quad (2)$$

Очевидно, что при включенном состоянии МОП-транзистора фотодиоды $kU_{\text{ф}}$ работают в режиме источника электрической энергии, заряжающего конденсатор $C_{\text{зи}}$, а при выключенном – в режиме приемника энергии от заряженного $C_{\text{зи}}$. Переключение режима входной цепи МОП-транзистора условно показано ключом К (см. рис. 3).

Временные диаграммы процессов переключения МОП-транзистора приведены на рисунке 4. Если принять стандартный уровень отсчёта временных параметров логических электрических сигналов за $0,5U_{\text{макс}}$ (или $0,5I_{\text{макс}}$), то время задержки распространения сигнала для рассматриваемого транзисторного ключа определяется как

$$t_{\text{зд}}^{0,1} = t_3 - t_1, t_{\text{зд}}^{1,0} = t_5 - t_4. \quad (3)$$

Предполагается, что входным сигналом ключа является излучение Ф

светодиода $VD_{\text{св}}$, а выходным – ток стока i_c .

Напряжение затвор-исток, соответствующее току стока $0,5I_{\text{смакс}}$, определяется из (1) как

$$U_{\text{зи } 0,5} = \left(\frac{0,5I_{\text{смакс}}}{S} + U_{\text{зипор}} \right), \quad (4)$$

где S соответствует реальному значению крутизны характеристики МОП-транзистора.

Поскольку характер изменения напряжений во входной цепи транзисторного ключа имеет экспоненциальный вид, с учётом (4) можно получить уравнения для определения времени задержки:

$$t_{\text{зд}}^{0,1} = \tau_{\text{вкл}} \ln \left(\frac{kU_{\text{xx}}}{kU_{\text{xx}} - U_{\text{зипор}} - \frac{0,5I_{\text{смакс}}}{S}} \right); \quad (5)$$

$$t_{\text{зд}}^{1,0} = \tau_{\text{выкл}} \ln k \left(\frac{U_{\text{xx}} - U_0}{\frac{0,5I_{\text{смакс}}}{S} + U_{\text{зипор}} - kU_0} \right). \quad (6)$$

Приведённый анализ показывает, что наиболее эффективным средством уменьшения времени задержки транзисторного ключа на включение

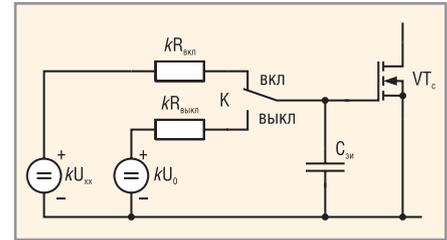


Рис. 3. Эквивалентная схема входной цепи МОП-транзистора

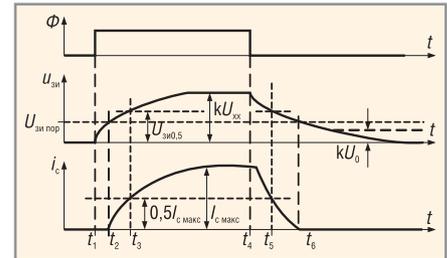


Рис. 4. Временные диаграммы переходных процессов во входной цепи МОП-транзистора

и выключение является уменьшение постоянных времени $t_{\text{вкл}}$ и $t_{\text{выкл}}$, что приводит к необходимости уменьшения сопротивлений $R_{\text{вкл}}$ и $R_{\text{выкл}}$, т.е. дифференциального сопротивления фотодиодов в темновом режиме работы и в режиме генерации фотоЭДС. Аналогичное влияние оказывает

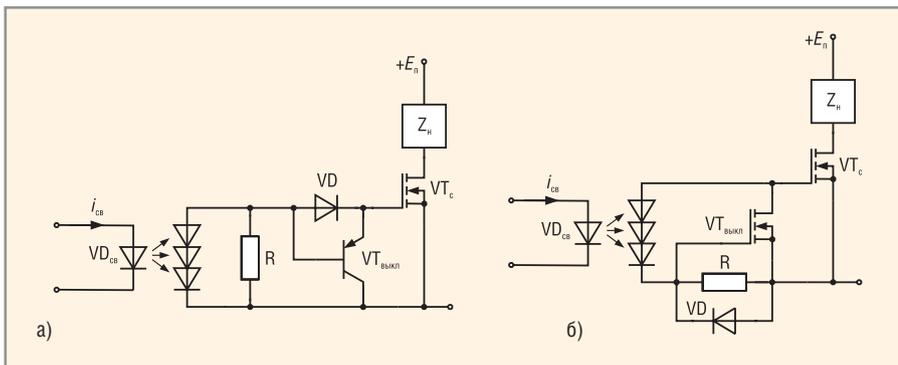


Рис. 5. Варианты схем управления, повышающих быстродействие МОП-транзистора

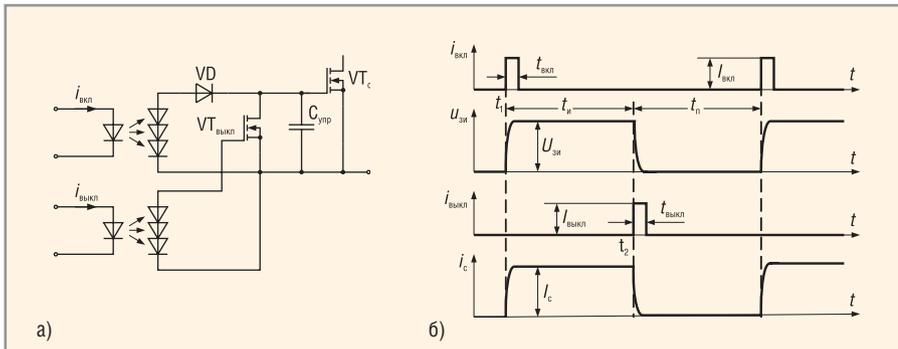


Рис. 6. Схема управления МОП-транзистором короткими импульсами тока (а) и временные диаграммы её работы (б)

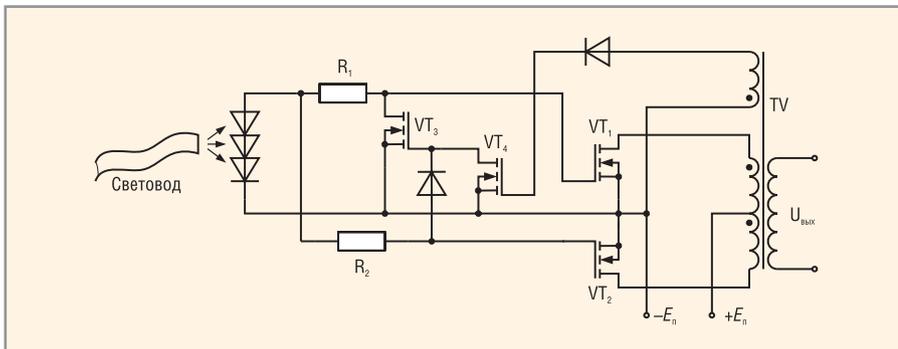


Рис. 7. Схема управления мощным силовым преобразователем

уменьшении числа k последовательно включенных фотодиодов, которое, однако, определяется напряжением $U_{зи\ пор}$ МОП-транзистора.

Известны схемы МОП-транзисторных ключей, позволяющие уменьшить время $t_{зд}^{1.0}$. Две из них приведены на рисунке 5 [3].

В первой схеме (см. рис. 5а) биполярный выключающий транзистор $VT_{\text{выкл}}$ открывается, когда напряжение на фотодиодах становится меньше, чем напряжение на входе силового транзистора VT_c (напряжение на ёмкости $C_{зи}$). Это обуславливает уменьшение постоянной времени $t_{\text{выкл}}$, в которой роль $R_{\text{выкл}}$ выполняет транзистор $VT_{\text{выкл}}$, работающий в режиме потребителя неизменного тока. Во второй схеме (см. рис. 5б) аналогичную функцию выполняет МОП-

транзистор $VT_{\text{выкл}}$. Области применения той или иной схемы могут быть определены после сравнения порогового напряжения включения биполярного транзистора $U_{бэ0}$ и порогового напряжения включения МОП-транзистора $U_{зи\ пор}$. Необходимо учитывать, что практически выполняется неравенство $U_{бэ0} \ll U_{зи\ пор}$.

Недостатком схем приведённых на рисунке 5 МОП-транзисторных ключей является их невысокая энергетическая эффективность по входной цепи, так как управление ключом осуществляется током, протекающим через светодиод $VD_{\text{св}}$ на протяжении длительности открытого состояния силового транзистора, которая в некоторых случаях бывает значительной. Это сводит на нет одно из основных преимуществ МОП-транзистора – его

высокое входное сопротивление $R_{\text{вх}}$, которое обуславливает минимизацию мощности на управление.

Однако свойство высокого входного сопротивления МОП-транзистора может быть использовано для снижения мощности управления транзисторным ключом при помощи использования определённых схемотехнических решений. Один из вариантов подобной схемы приведён на рисунке 6а, а временные диаграммы её работы – на рисунке 6б.

Здесь управление МОП-транзистором выполняется двумя относительно короткими импульсами $t_{\text{вкл}}$ и $t_{\text{выкл}}$ осуществляющими его включение и выключение соответственно. Введённый в схему конденсатор C заряжается до установившегося значения напряжения $U_{зи}$ за интервал времени $t_{\text{вкл}}$. Для функционирования схемы рис. 6а необходимо, чтобы за время длительности импульса $t_{\text{и}}$ конденсатор C разряжался незначительно и величина остаточного напряжения на нём удовлетворяла условиям обеспечения включенного состояния VT_c . Это практически может быть выполнено, так как входное сопротивление МОП-транзистора $R_{\text{вх}} \rightarrow \infty$.

Временные параметры транзисторного ключа схемы рис. 6а могут быть определены следующим образом. Очевидно, что время $t_{\text{зд}}^{1.0}$ здесь будет больше, чем в схеме рис. 1, так как значение входной ёмкости в выражении для постоянной времени будет равно $C_{\Sigma} = C_{зи} + C$, что обуславливает увеличение $t_{\text{вкл}}$. Время $t_{\text{зд}}^{1.0}$ задержки может быть найдено из выражения (5) при соответствующем изменении величины $t_{\text{вкл}}$. Разряд суммарной ёмкости конденсаторов C_{Σ} осуществляется на открытый транзистора $VT_{\text{выкл}}$ вследствие чего постоянная времени входной цепи на выключение будет равна $t_{\text{выкл}} = R_{\text{откр}} C_{\Sigma}$, где $R_{\text{откр}}$ – сопротивление открытого транзистора $VT_{\text{выкл}}$. На практике выполняется условие $R_{\text{откр}} \ll R_{\text{выкл}}$, потому для схемы рис. 6а время задержки $t_{\text{зд}}^{1.0}$ будет меньше, чем для схемы рис. 1.

Сравнение по параметру $t_{\text{зд}}^{1.0}$ схемы рис. 6а со схемами рис. 5 показывает преимущество первой. Это обусловлено тем, что транзистор $VT_{\text{выкл}}$ в схеме рис. 6а включается и остаётся в этом состоянии в режиме, качественно эквивалентном режиму насыщения биполярного транзистора. По-

этому падение напряжения на нём мало и несущественно зависит от тока разряда ёмкости C_{Σ} .

Условием более высокой энергетической эффективности схемы транзисторного ключа, реализованного по схеме рис. 6а, является выполнение неравенств $t_{\text{вкл}} \ll t_{\text{н}}$ и $t_{\text{выкл}} \ll t_{\text{н}}$. Степень усиления этих неравенств определяет повышение энергетической эффективности ключа. При достаточно длительном включённом состоянии транзисторного ключа его энергетическая эффективность приближается к энергетической эффективности МОП-транзистора.

Применение средств оптоэлектроники для управления МОП-тран-

зисторами не ограничивается рассмотренными выше примерами. На рисунке 7 приведена схема мощного преобразователя напряжения, включение и выключение которого осуществляется при помощи сигнала, передаваемого по световоду. Применение средств оптоэлектроники позволило реализовать устройство, в котором при возникновении любого отказа элементов схемы исключено появление выходного напряжения $u_{\text{вых}}$. Схема рис. 7 относится к классу безопасных электронных устройств, которые применяются в системах железнодорожной автоматики и телемеханики, управляющих движением поездов [4].

Очевидно, что при соответствующем анализе различных электронных устройств области применения МОП-транзисторов с оптоэлектронным управлением могут быть существенно расширены.

ЛИТЕРАТУРА

1. *Волович Г.* Драйверы силовых ключей. Современная электроника. 2007. № 8.
2. *Коняхин С., Свиридов П.* Оптронные устройства гальванической развязки. Электронные компоненты. 2007. № 7.
3. *Сергеев Б.* Схемотехника функциональных узлов источников вторичного электропитания. Радио и связь. 1992.
4. Пат. РФ № 2276032. Устройство контроля светофора. МПК В 61 L 5/18. *Б.С. Сергеев, Н.Б. Курченко.* Опубл. 2006 БИ №13. ©

Новости мира News of the World Новости мира

IBM играет с увеличительным стеклом

Компания IBM утверждает, что ей удалось серьёзным образом увеличить производительность солнечных батарей за счёт использования линзы, которая концентрирует поток солнечных лучей. Благодаря этому разработчики могут получать до 230 Вт энергии с одного квадратного сантиметра солнечной батареи. Если IBM действительно сможет вывести проект из лаборатории в производство, это поможет значительным образом снизить стоимость альтернативных способов получения энергии.



Главное достижение IBM заключается даже не в том, что её сотрудники проделали трюк с лупой, знакомый каждому мальчишке, а в том, что они научились охлаждать свои солнечные батареи. Концентрация такого огромного количества тепловых лучей на столь небольшом участке может расплавить сталь! Однако, используя различные решения, созданные инженерами для охлаждения центральных процессоров в компьютерах, им удалось снизить температуру панели всего до 85°C.

Первые результаты проведённых исследований будут продемонстрированы

специалистами на конференции IEEE Photovoltaic.

physorg.com

CMOS-сенсоры OmniBSI: 0,9-мкм пиксели, вывернутые наизнанку

Сегодняшним пресс-релизом поставщик CMOS-сенсоров – компания OmniVision Technologies – представила новую сенсорную архитектуру OmniBSI. Радикальное отличие новой разработки OmniVision от традиционных CMOS-сенсоров с фронтальной регистрацией светового потока (front side illumination, FSI) заключается в реализации тыльной засветки светочувствительных сенсоров (backside illumination, BSI). По данным OmniVision, это позволяет повысить качество съёмки в условиях дальнейшего уменьшения габаритов сенсоров вплоть до 0,9-микронного размера.

Архитектура OmniBSI, разработанная OmniVision в тесном сотрудничестве с производственным партнёром TSMC, в буквальном смысле переворачивает CMOS сенсор «вверх ногами», если так будет уместно выразиться относительно чипа. Новая методика BSI предусматривает разворот сенсора CameraChip на 180° относительно плоскости регистрации световых потоков. Таким образом, свет попадает на светочувствительный сенсор с той стороны, которая раньше была тыльной, т.е. со стороны кремниевой подложки.

Традиционные «фронтальные» (FSI) сенсоры по пути к светочувствительным элементам теряют некоторую часть света при прохождении нескольких метал-

лических и диэлектрических слоёв, необходимых для преобразования энергии фотонов в энергию электронов. В некоторых случаях сенсоры с архитектурой FSI также могут блокировать или отражать часть света, создавая перекрёстную паразитную засветку соседних пикселей. По информации OmniVision, реверсивная архитектура BSI меняет порядок расположения слоёв на пути света и обеспечивает более качественную засветку светочувствительных элементов.

Более того, по данным компании, архитектура OmniBSI в конечном счёте также обеспечивает ряд других преимуществ перед традиционными CMOS-сенсорами, таких как повышение чувствительности на единицу площади, улучшение квантового выхода света, снижение взаимовлияния соседних пикселей и снижение неоднородности времени отклика пикселей в массиве. В конечном итоге новая технология позволит создавать более компактные сенсоры, не уступающие по качеству образцам с более крупным пикселем, и в перспективе даже может привести к дальнейшему снижению цены крупных сенсоров с десятками миллионов пикселей.

В настоящее время компания OmniVision демонстрирует готовый 8-мегапиксельный сенсор OmniBSI CameraChip и намерена начать поставки его образцов заинтересованным заказчикам ближе к концу июня. В планах компании – налаживание выпуска сенсоров OmniBSI CameraChip на производственных линиях с нормами до 0,11-мкм техпроцесса.

3dnews

Формирователь синусоидального напряжения

Олег Дворников (г. Минск, Беларусь)

Рассмотрены схемотехнические особенности и результаты моделирования полупроводниковых устройств, формирующих синусоидальное напряжение из треугольного сигнала.

Ранее был описан генератор треугольных и прямоугольных сигналов, работающий в диапазоне частот от 1 Гц до 40 МГц. Частота генератора определялась ёмкостью внешнего конденсатора и током по управляющему входу [1]. Генератор был реализован на биполярных транзисторах в виде IP-компонента, однако для рас-

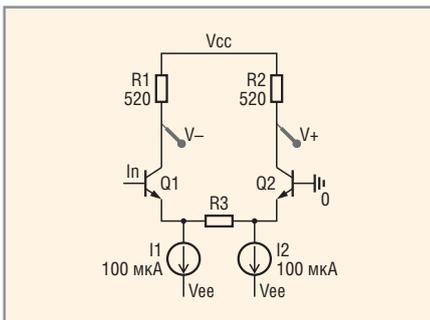


Рис. 1. Дифференциальный каскод с резистивной нагрузкой

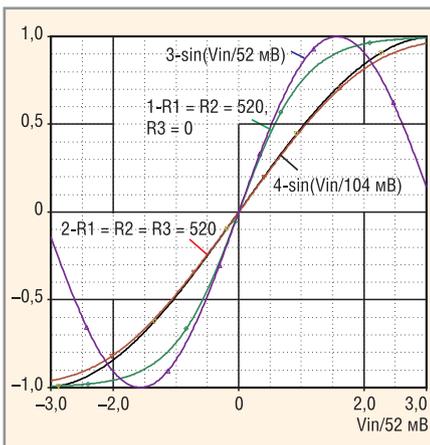


Рис. 2. Результаты моделирования ДК (рис. 1) при $I_1 = I_2 = 100 \text{ мкА}$

- 1 – нормированная передаточная характеристика при $R_1 = R_2 = 520 \text{ Ом}$, $R_3 = 0$;
- 2 – нормированная передаточная характеристика при $R_1 = R_2 = R_3 = 520 \text{ Ом}$;
- 3 – кривая, соответствующая функции $\sin(V_{IN}/2\varphi_T)$;
- 4 – кривая, соответствующая функции $\sin(V_{IN}/4\varphi_T)$

ширения области применения целесообразно дополнить его простым, технологически совместимым устройством, формирующим синусоидальное напряжение из треугольного сигнала.

Анализ существующих схемотехнических решений показал, что для работы в мегагерцовой области частот предпочтительны формирователи синусоидального напряжения на основе дифференциальных каскадов (ДК) или функциональные преобразователи, реализующие кусочно-нелинейную аппроксимацию [2, 3].

Известно, что передаточная характеристика ДК ($V_{OUT} = f(V_{IN})$) описывается функцией гиперболического тангенса ($\text{th}x$), которая для малых значений аргумента x близка к функции $\sin x$ [2]. Так, для ДК с резистивной нагрузкой, показанного на рисунке 1, при отсутствии межэмиттерного резистора ($R_3 = 0$) справедливо соотношение:

$$V_{OUT} = V_{C2} - V_{C1} \approx 2I_0 R_C \text{th} \frac{V_{IN}}{2\varphi_T}, \quad (1)$$

где V_{OUT} – выходное напряжение ДК (между маркерами напряжения на рис. 1);

V_{C1} – напряжение на коллекторе транзистора Q_1 ;

I_0 – ток генератора стабильного тока в предположении, что $I_1 = I_2 = I_0$;

R_C – сопротивление коллекторного резистора в предположении, что $R_1 = R_2 = R_C$;

V_{IN} – входное напряжение ДК (напряжение на базе транзистора Q_1 при нулевом напряжении на базе транзистора Q_2 , как показано на рис. 1);

φ_T – температурный потенциал, $\varphi_T = kT/q$; k – постоянная Больцмана; T – абсолютная температура; q – заряд электрона.

Разложив функции в ряды и учитывая только первые члены рядов, получим [4]:

$$\text{th}x \approx x - \frac{x^3}{3} + \frac{2x^5}{15}, \quad (2)$$

$$\sin x \approx x - \frac{x^3}{6} + \frac{x^5}{120}. \quad (3)$$

Из сравнения выражений (1) и (3) следует, что при формировании синусоидального напряжения из треугольного с помощью ДК (см. рис. 1) и $R_3 = 0$ наибольшая погрешность преобразования возникает при большой величине входного сигнала, т.е. при $V_{IN}/\varphi_T > 1$.

Для уменьшения погрешности предложено [3] между эмиттерами ДК включить резистор, сопротивление которого выбирается в соответствии с условием:

$$R_E = \frac{2\varphi_T}{I_0}, \quad (4)$$

где R_E – сопротивление межэмиттерного резистора ДК (R_3 на рис. 1).

Результаты схемотехнического моделирования нормированной передаточной характеристики

$$\frac{V_{OUT}}{\max(V_{OUT})} = f\left(\frac{V_{IN}}{2\varphi_T}\right)$$

для элементов базового матричного кристалла типа «АБМК_1_3» [5], а также синусоидальные функции $\sin(V_{IN}/2\varphi_T)$, $\sin(V_{IN}/4\varphi_T)$ приведены на рисунке 2 для случая, когда $I_1 = I_2 = 100 \text{ мкА}$, $R_3 = 2\varphi_T/I_1 = 52 \text{ мВ}/100 \text{ мкА} = 520 \text{ Ом}$. Заметим, что графические изображения электрорадиоэлементов, наименования переменных, узлов, осей, математические соотношения на рисунках статьи соответствуют принятым в системе OrCAD [6].

Анализ результатов, показанных на рисунке 2, позволяет утверждать, что передаточная характеристика ДК без межэмиттерного резистора близка к функции $\sin(V_{IN}/2\varphi_T)$, а ДК с резисто-

ром, удовлетворяющим условию (4), – к функции $\sin(V_{IN}/4\varphi_T)$, причём в последнем случае достигается наиболее точное совпадение нормированной передаточной характеристики ДК с синусоидальной функцией. Дополнительным преимуществом ДК с межэмиттерным резистором является то, что его коэффициент усиления определяется отношением R_C/R_E , которое стабильно в диапазоне температур.

Формирователь с межэмиттерным резистором характеризуется следующими недостатками:

- преобразование треугольного сигнала в синусоидальный осуществляется для входного сигнала с определённой амплитудой (AMPL), т.е. при $V_{IN} \approx 3 \times 2\varphi_T \approx 156$ мВ при комнатной температуре. Если $V_{IN} < 156$ мВ, то выходной сигнал ДК будет иметь форму близкую к треугольной, а при $V_{IN} > 156$ мВ – к прямоугольной (см. рис. 3);
- для выполнения условия (4) межэмиттерный резистор должен иметь определённое значение сопротивления при различных температурах.

Представим математическое соотношение (4) в виде:

$$V_{RE} = R_E I_0 = 2\varphi_T, \quad (5)$$

где V_{RE} – падение напряжения на межэмиттерном резисторе.

Для обеспечения выполнения условия (5) целесообразно применение так называемого РТАТ-источника тока (Proportional-to-Absolute-Temperature), выходной ток которого прямо пропорционален температуре [7]. Вариант ДК с РТАТ-источником тока для транзисторов «АБМК_1_3» показан на рисунке 4.

Требуемое сопротивление обеспечено с помощью последовательно-параллельного соединения доступных на базовом матричном кристалле «АБМК_1_3» резисторов, а параллельное соединение однотипных транзисторов ($Q_{9-1}-Q_{9-4}$, $Q_{11-1}-Q_{11-4}$ и т.п.) применено для увеличения коэффициента передачи тока β биполярных транзисторов при большом коллекторном токе. Особенности схемы являются: выбор максимальных номиналов коллекторных резисторов R_1, R_2 и минимального значения межэмиттерного резистора R_3 с целью увеличения коэффициента усиления ДК на транзисторах Q_1, Q_2 ($\approx 30,4$); применение транзисторов с общей базой $Q_{16-1}-Q_{16-4}, Q_{17-1}-Q_{17-4}, Q_{18}$ для уменьшения падения напряжения коллектор-эмиттер транзисторов Q_{11}, Q_{14} и предотвращения их пробоя; подключение внешнего резистора R_{EXT} параллельно резистору R_6 , что позволяет плавно подстроить величину I_0 для точного выполнения условия (5).

Исходя из электрической схемы, показанной на рисунке 4, и упрощённой модели Гуммеля-Пуна [5] получим:

$$V_{BE13} = V_{BE14} + I_{E14} R_{10}, \quad (6)$$

$$V_{BE1} = NF\varphi_T \ln \frac{I_{C1}}{I_{S1}} = NF\varphi_T \ln \frac{I_{C1}}{J_{S1} AREA_1}, \quad (7)$$

где V_{BE1} – напряжение на прямо смещенном эмиттерном переходе транзистора Q_1 ;

I_{E1} (I_{C1}) – эмиттерный (коллекторный) ток транзистора Q_1 ;

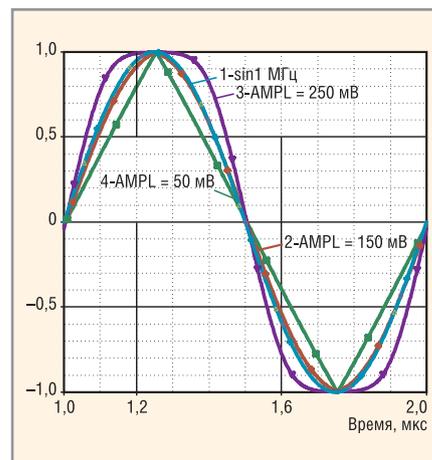


Рис. 3. Результаты моделирования во временной области ДК при $I_1 = I_2 = 100$ мкА, $R_1 = R_2 = R_3 = 520$ Ом:

1 – кривая, соответствующая синусоидальной функции с частотой 1 МГц (источник VSIN в OrCAD); выходной нормированный сигнал ($V_{OUT}/\max(V_{OUT})$) для входного треугольного сигнала с амплитудой 150 мВ (кривая 2), 250 мВ (кривая 3), 50 мВ (кривая 4)

NF – фактор, описывающий отклонение вольтамперной характеристики р-п-перехода от экспоненты; I_{S1} – ток в модели Гуммеля-Пуна, характеризующий перенос неосновных носителей заряда через базу транзистора Q_1 ;

J_{S1} – плотность тока I_{S1} ;

$AREA_1$ – площадь эмиттерного перехода транзистора Q_1 .

Токовое зеркало на транзисторах Q_{11}, Q_{12} выравняет коллекторный ток транзисторов Q_{13} и Q_{14} . В качестве Q_{13} применен элемент TW1E (одноэмиттерный п-р-п-транзистор), а Q_{14} выполнен из параллельного соединения TW1E и трёх элементов 2TW (двухэмиттерных п-р-п-транзисторов с соединенными эмиттерами). В связи с этим площадь эмиттерного

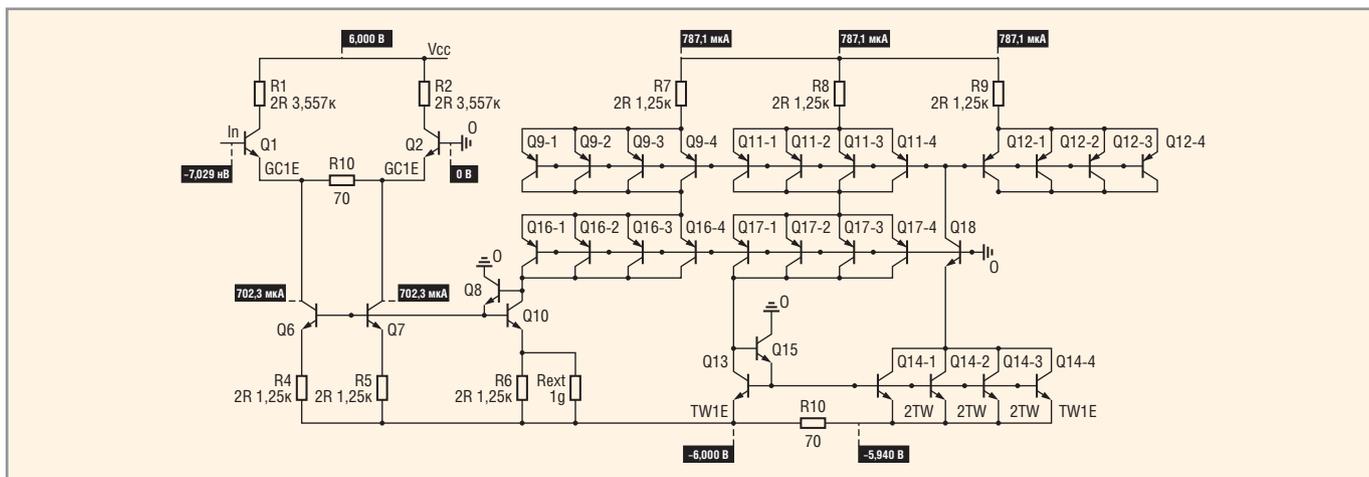


Рис. 4. Формирователь синусоидального напряжения с РТАТ-источником тока, спроектированный на «АБМК_1_3»

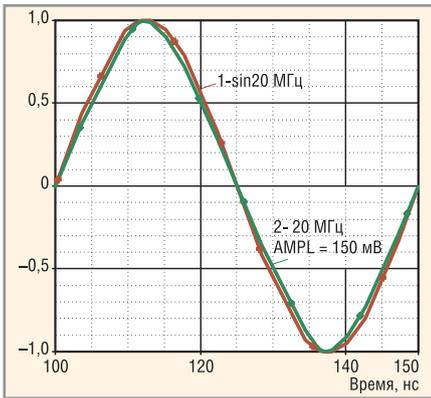


Рис. 5. Результаты моделирования во временной области формирователя рис. 4 при $I_1 = I_2 \approx 700$ мкА, $R_1 = R_2 = 3,557$ кОм, $R_3 = 70$ Ом
 1 – кривая, соответствующая синусоиде с частотой 20 МГц (источник VSIN в OrCAD);
 2 – выходной нормированный сигнал ($V_{OUT}/\max(V_{OUT})$) при входном треугольном сигнале с амплитудой 150 мВ и частотой 20 МГц

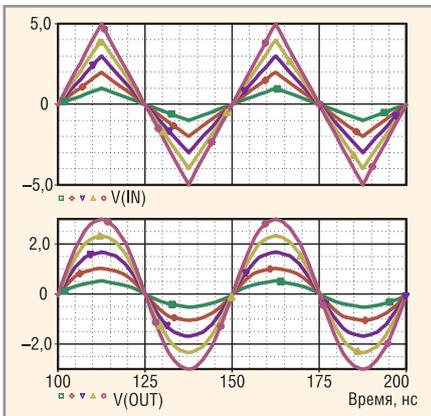


Рис. 7. Результаты моделирования формирователя рис. 6
 Вверху – входной треугольный сигнал с частотой 20 МГц; внизу – выходной синусоидальный сигнал

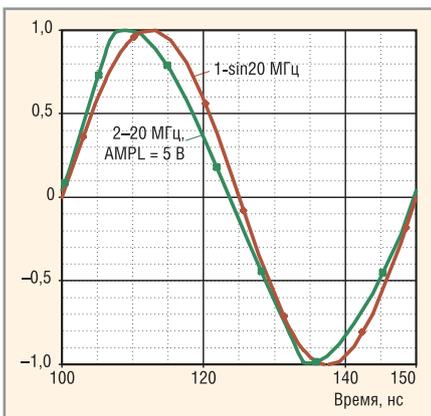


Рис. 8. Результаты моделирования формирователя рис. 6 при частоте входного треугольного сигнала, равной 20 МГц, и амплитуде AMPL = 5 В при использовании биполярных транзисторов в диодном включении
 Кривая 1 соответствует синусоидальной функции с частотой 20 МГц (источник VSIN в OrCAD), кривая 2 – выходной нормированный сигнал

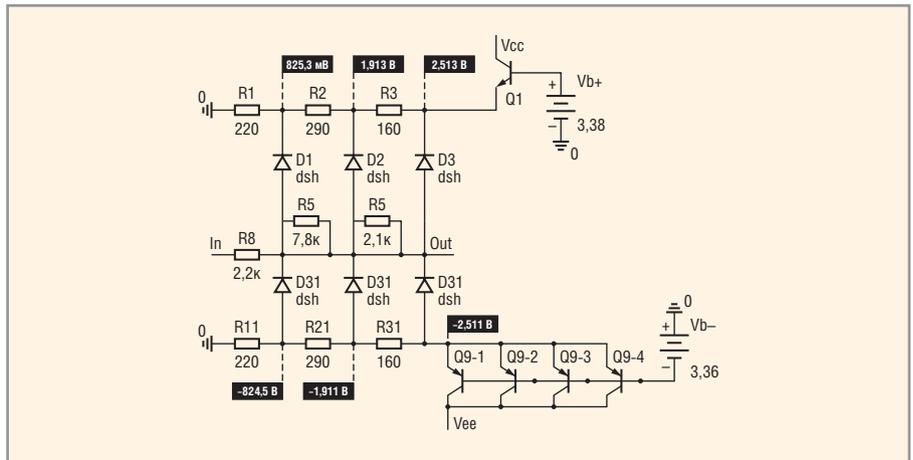


Рис. 6. Упрощённая электрическая схема формирователя с кусочно-нелинейной аппроксимацией выходного сигнала

перехода транзистора Q14 в 7 раз больше площади эмиттерного перехода транзистора Q13, т.е. $AREA_{14} = 7AREA_{13}$ и справедливо соотношение:

$$I_{C14} \approx I_{E14} = \frac{V_{BE13} - V_{BE14}}{R_{10}} = \frac{NF\phi_T}{R_{10}} \ln \frac{I_{C13} JS_{14} AREA_{14}}{JS_{13} AREA_{13} I_{C14}} \approx \frac{NF\phi_T}{R_{10}} \ln 7. \quad (8)$$

Коллекторный ток I_{C14} «отражает» токовым зеркалом Q9, Q12 и инвертируется с помощью Q6, Q7, Q10; поэтому:

$$I_0 \approx I_{C14} \approx 1,96 \frac{\phi_T}{R_{10}}. \quad (9)$$

Если номиналы $R_3 = R_{10}$, то условие (5) автоматически выполняется в диапазоне температур. Схемотехническое моделирование формирователя с учётом температурных зависимостей параметров биполярных транзисторов и резисторов подтвердило справедливость проведённого анализа. Так, при температуре $-30, 27$ и 60°C падение напряжения V_{RE} составило 39,1, 52,5 и 60,1 мВ соответственно, что хорошо согласуется с температурной зависимостью $2\phi_T$. Как следует из рисунка 5, ДК с межэмиттерным резистором обеспечивает высокую точность преобразования треугольного напряжения в синусоидальное вплоть до частоты 20 МГц.

К сожалению, рассматриваемое схемотехническое решение обеспечивает высокую точность преобразования при определённой амплитуде входного сигнала. Поэтому его применение рекомендуется совместно с

входным нормирующим усилителем, обеспечивающим в диапазоне температур постоянную амплитуду треугольного сигнала, равную $6\phi_T$.

С точки зрения автора, предпочтительным является формирователь – функциональный преобразователь, реализующий кусочно-нелинейную аппроксимацию с тремя точками излома положительной и отрицательной полуволны входного сигнала. Упрощённая электрическая схема формирователя показана на рисунке 6 [2].

Источники напряжения V_{B+} , V_{B-} и резистивные делители R_1, R_2, R_3 и R_{11}, R_{21}, R_{31} устанавливают пороги переключения. При превышении входным сигналом порога переключения на величину падения напряжения на открытом диоде V_D соответствующий диод D_1, D_2, D_3 или D_{11}, D_{21}, D_{31} открывается, и выходное напряжение изменяется медленнее. Пороги переключения, показанные на рисунке 6, рассчитаны в соответствии с известными соотношениями [2] для амплитуды входного сигнала 5 В, падения напряжения на открытом диоде $V_D \approx 0,6$ В и аппроксимации синусоидальной функции тремя кривыми.

Основным преимуществом данного решения является то, что при изменении напряжений V_{B+}, V_{B-} в соответствии с амплитудой AMPL входного напряжения, а именно $V_{B+} = V_{B-} = 0,676AMPL$ для указанных номиналов резисторов (см. рис. 6), выходной сигнал сохраняет синусоидальную форму даже при существенном изменении амплитуды входного треугольного сигнала.

Анализ результатов моделирования, приведённых на рисунке 7, поз-

воляет сделать вывод о том, что в диапазоне амплитуд входного треугольного сигнала от 1 до 5 В форма выходного сигнала близка к синусоиде. Однако для треугольного сигнала высокой частоты малая погрешность преобразования обеспечивается только при использовании диодов Шоттки (см. рисунок 8), а применение $n-p-n$ -транзисторов в диодном включении рекомендуется при входном сигнале с частотой до 5 МГц для элементов «АБМК_1_3».

В заключение отметим, что не существует «идеального» формирователя синусоидального напряжения. В

связи с этим целесообразно создание нескольких вариантов IP-компонента программируемого генератора, отличающихся диапазоном генерируемых частот и током потребления.

ЛИТЕРАТУРА

1. Дворников О.В., Барановский А.С. Программируемый широкополосный генератор. Современная электроника. 2008. № 5. С. 20.
2. Титце У, Шенк К. Полупроводниковая схемотехника: Справочное руководство. Мир, 1982.
3. Формирователь синусоидального напряжения. Радио. 1983. № 5. С. 61.

4. Двайт Г.Б. Таблицы интегралов и другие математические формулы. Наука, 1978.
5. Абрамов И.И. Проектирование аналоговых микросхем для прецизионных измерительных систем. Минск, Акад. упр. при Президенте Респ. Беларусь, 2006.
6. Разевиг В.Д. Система проектирования OrCAD 9.2. Солон-Р, 2003.
7. Дворников О.В. Схемотехника биполярно-полевых аналоговых микросхем. Часть 3: Источники тока, управляемые током, с нерегулируемым коэффициентом передачи. Chip News. 2005. № 1. С. 12–15.



Новости мира News of the World Новости мира

IBM «пронзила» чипы водяными капиллярами

На днях исследователи компании IBM в сотрудничестве с институтом им. Фраунгофера (Берлин) продемонстрировали прототип, в котором каналы охлаждения интегрированы непосредственно в трёхмерную микросхему, а вода пропускается между слоями этого чипа.

В прошлом году корпорация IBM предложила технологию производства «слоёных» чипов, позволяющую почти в 1000 раз сократить расстояние, которое необходимо преодолевать информации в микросхеме, а также позволяет реализовать в 100 раз больше каналов для обмена данными по сравнению с двухмерными чипами. Если в традиционном чипе компоненты размещаются на кремниевой подложке рядом друг с другом, то в трёхмерном эти компоненты размещаются в несколько слоёв.

Совокупное тепловыделение трёхмерного чипа площадью 4 см² и толщиной около 1 мм приближается к одному киловатту, что в 10 раз превышает тепловыделение электрической плитки. С целью эффективного отвода тепла от источника вода подаётся в расположенные между отдельными слоями чипа охлаждающие каналы, по толщине сравнимые с человеческим волосом (50 мкм).

При проведении экспериментов учёные пропускали воду через испытательный образец размером 1 × 1 см, который состоял из двух пластин (источников тепла) с размещённым между ними охлаждающим слоем. Этот слой имел размеры всего около 100 микрон в высоту и 10 тыс. вертикальных межсоединений на один см².

Исследователи смогли обеспечить максимальный поток воды сквозь слои, сохранив при этом герметичную изоля-

цию межсоединений, препятствующую электрическим замыканиям вследствие воздействия воды. Созданную систему охлаждения учёные сравнивают с человеческим мозгом, в пространстве которого миллионы нейронов для передачи сигналов пересекаются с десятками тысяч кровеносных сосудов для охлаждения и энергоснабжения, не влияя друг на друга.

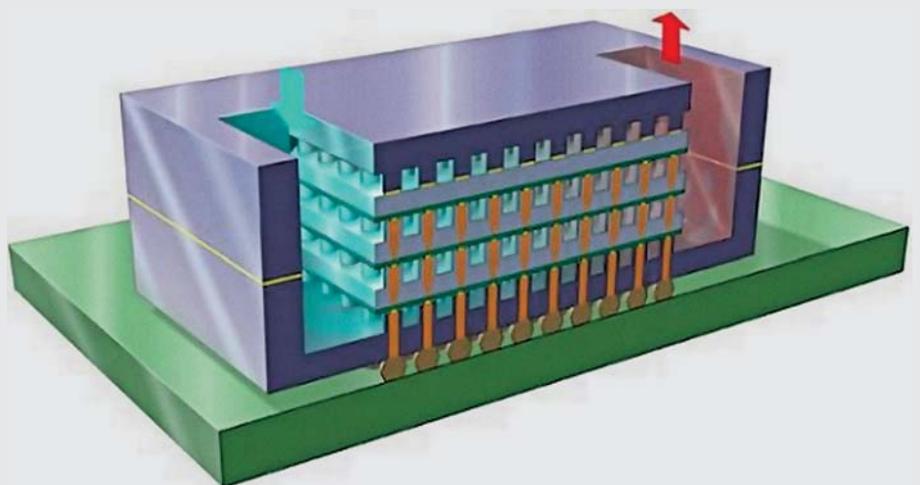
Создание отдельных слоёв было достигнуто при использовании существующих методов производства, за исключением дополнительных операций, связанных с формированием отверстий для передачи сигналов между слоями. С целью изоляции этих «нервов» учёные оставили вокруг каждого межсоединения кремниевую оболочку (технология through-silicon vias) и добавили тонкий слой окиси кремния для защиты электрических межсоединений от воды. Такие структуры должны изготавливаться с точностью до 10 микрон, что в 10 раз превышает требования при изготовлении межсоединений и металлических элементов в современных чипах.

Для сборки отдельных слоёв группа учёных разработала сложную технологию тонкоплёночной пайки. С помощью этой технологии учёные достигли высоких показателей по качеству, точности и надёжности, что гарантирует хороший тепловой контакт и отсутствие электрических замыканий. На завершающем этапе собранный чип был помещён в кремниевый охлаждающий контейнер, напоминающий миниатюрный бассейн. Вода закачивается в этот контейнер с одной стороны, протекает между отдельными слоями чипа и отводится с другой стороны контейнера.

С помощью моделирования учёные экстраполировали экспериментальные результаты на чип площадью 4 см², при этом расчётная холодопроизводительность составила 180 Вт/см².

В дальнейшем исследователи займутся оптимизацией систем охлаждения для чипов с уменьшенными размерами и с увеличенным числом межсоединений. Кроме того, группа будет исследовать возможность дальнейшего совершенствования структур для охлаждения отдельных горячих точек.

IBM



Контроллер управления насосами

Николай Заец (Белгородская обл.)

Наиболее частой причиной поломки перекачивающего оборудования является не его износ в результате старения, а несвоевременное выключение при возникновении аварийной ситуации. Авария может возникнуть из-за перегрева двигателей, обрыва или перекоса фаз, слишком большого или малого тока двигателей или давления воды. В статье описывается контроллер для автоматического отключения трёх двигателей насосов при возникновении аварийной ситуации и индикации причины аварии.

Максимальные и минимальные значения параметров контроля устанавливаются отдельно для каждого насоса.

Принципиальная электрическая схема контроллера показана на рисунке. Контроллер состоит из микроконтроллера DD1, индикатора HG1, симисторного блока управления включением пусковых реле насосов U1 – U3, самих реле насосов K1 – K3 и кнопок управления.

Микроконтроллер PIC16F874 выполняет все операции контроля работы насосов и выдаёт информацию на индикатор. Микроконтроллер имеет восемь аналоговых входов, из которых используются 7. На аналоговые входы подаётся аналоговый сигнал с датчиков тока и давления для последующего преобразования и сравнения с установленными значениями. Многократно программируемый микроконтроллер PIC16F874 может быть заменен на однократно программируемый – PIC16C874. При этом необходимо установить код защиты от несанкционированного считывания программы. Устройство реагирует на изменения набора датчиков.

Датчик давления

Датчик давления имеет свой усилитель, который нормирует сигнал постоянного тока.

Давлению 10 атм. соответствует напряжение 5 В.

Если подана команда на включение всех насосов, а давление не превышает 2 атм., блокируются все насосы, на индикатор выводится мигающая надпись: НЕТ ВОДЫ. Перезапуск насосов производится только после нажатия кнопки «Сброс».

Установка значений давления производится отдельно для каждого насоса.

Датчики тока

На каждом насосе размещены по два датчика тока, которые имеют свой усилитель с нормированием сигнала постоянного тока. Току 15 А соответствует напряжение 5 В.

Установка значений токов защиты производится отдельно для каждого насоса, но для обоих датчиков.

Контроллер имеет программируемую задержку сигналов от датчиков тока на срабатывание защиты (до 9 с). При срабатывании одного из датчиков какого-либо насоса блокируется только тот насос, у которого сработал датчик тока. Перезапуск насоса производится только после нажатия кнопки «Сброс». При срабатывании датчика тока на индикатор в мигающем режиме попеременно с индикацией рабочего давления выводится надпись: ЗАЩИТА ПО ТОКУ N.

Датчики температуры

На каждом насосе устанавливается по одному датчику температуры, каждый из которых имеет усилитель с нормируемым сигналом защиты на уровне 5 В.

В контроллере нет задержки на реакцию защиты от датчиков температуры. При срабатывании одного из датчиков какого-либо насоса блокируется только тот насос, у которого сработал датчик температуры.

Датчик сухого хода

На установке имеется один датчик наличия воды во всасывающем коллекторе, с сигналом защиты на уровне 5 В.

Контроллер имеет программируемую задержку на реакцию защиты от

датчика сухого хода. При срабатывании датчика сухого хода после задержки, насосы блокируются полностью, на индикатор выводится надпись: НЕТ ВОДЫ.

Датчик состояния фаз

Датчик состояния фаз – это отдельное устройство, которое при неисправностях питающей электрической сети выдаёт защитный сигнал постоянного тока с уровнем 5 В.

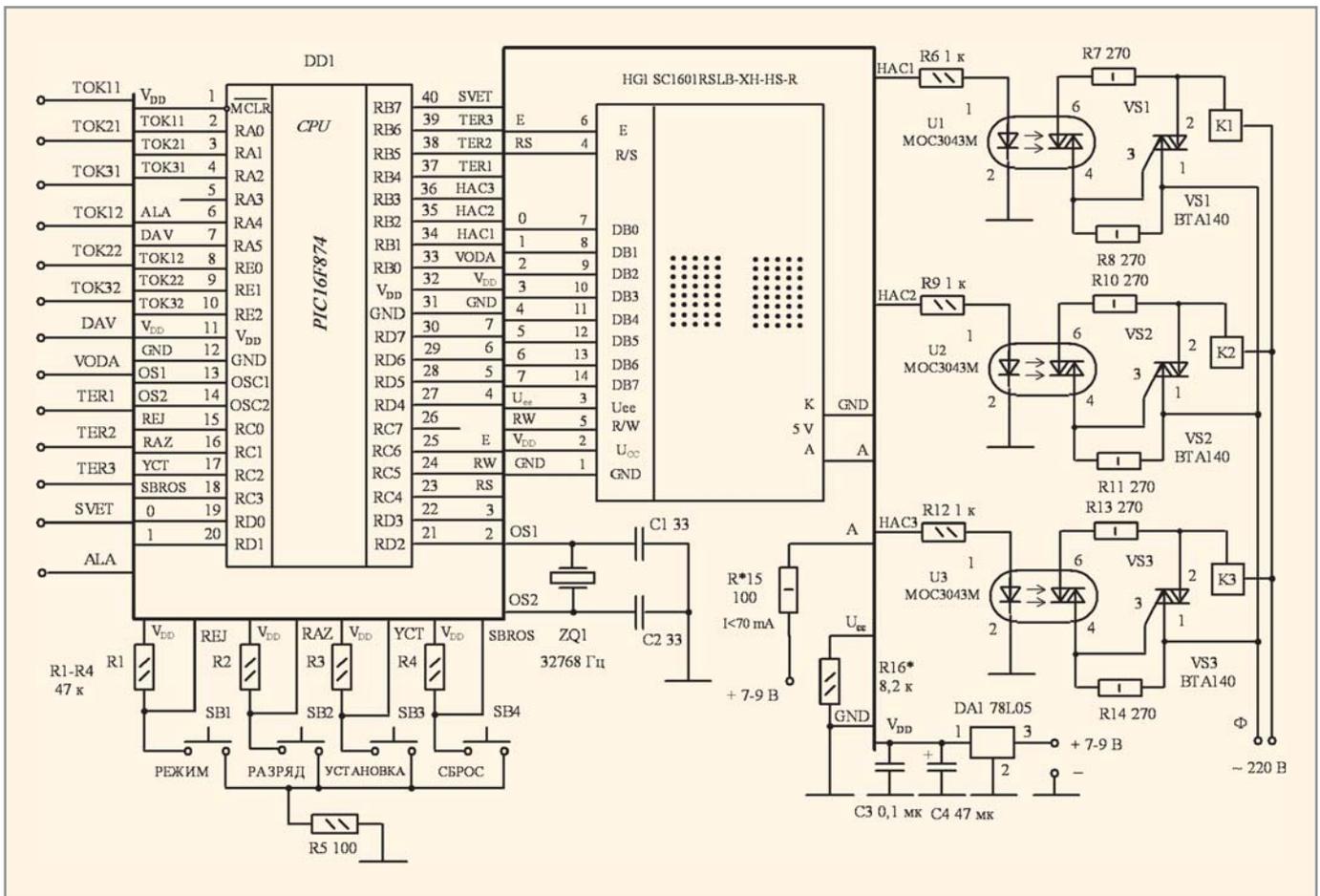
Контроллер имеет задержку на реакцию защиты от датчика состояния фаз. При срабатывании датчика состояния фаз после задержки насосы блокируются полностью.

Для равномерного износа двигателей контроллер производит смену последовательности включения насосов каждый раз после остановки всех насосов, при неисправности какого-либо из насосов последний пропускается.

Контроллер имеет возможность работать с тремя или двумя насосами, что задаётся программно, при этом на дисплей выводится надпись: РЕЖИМ N НАСОСА.

Программа микроконтроллера работает следующим образом. При включении происходит инициализация ЖК-дисплея. Затем проверяется состояние кнопок установки и индикация начальной установки. Далее выполняется сравнение всех аналоговых входных сигналов с установленными значениями. Если есть отклонения, то устанавливаются флаги аварии. При необходимости аварийный режим включается сразу. Если предусмотрена задержка выключения, то время отсчитывается при помощи счётчика секунд, который инкрементируется таймером TMR0.

Триггерные входы работают по изменению входного сигнала, при этом вызывается прерывание. После прерывания опрашиваются входы и определяется источник сигнала аварии. Если насос не работает, то триггерные сигналы должны иметь высокий уровень или быть полностью отключены, поскольку входы программно «подтянуты» внутренними резисторами к плюсу питания. Изменение



Принципиальная электрическая схема контроллера

триггерных сигналов не должно иметь частоту более 2 Гц.

Все аварийные ситуации сбрасываются кнопкой «Сброс». При этом включаются все установленные на работу насосы. После сброса инициализируется режим «Установка» для проверки и изменения аварийных значений.

В режиме установки нет сравнения аналоговых сигналов на аварийную ситуацию. Но включение аварии по триггерным входам не запрещено.

Кнопкой «Режим» производится смена режима индикации. Пока кнопка нажата, смена индикации не производится.

Кнопка «Установка» изменяет установленное число на единицу или изменяет режим индикации «Установка – Работа». Под изменяемым разрядом высвечивается курсор. В режиме «Работа» эта кнопка действует только на установке номера насоса, режим которого просматривается, и на смену режима на «Установка». При установке значения разряда кнопку можно не отпускать.

Кнопкой «Разряд» по курсору выбирают необходимый разряд установки.

Очередность смены индикации в режиме «Установка» при нажатии кнопки «Режим» следующая:

- НАСОС X;
- PX max = Y,Y ATM;
- PX min = Y,Y ATM;
- ТОК ЗАЩИТЫX=У,УА;
- РЕЖИМ 123 НАСОСА;
- РАБОТА;
- ЗАДЕРЖКА ВОД X с;
- ЗАДЕРЖКА ТОК X с;
- ЗАДЕРЖКА ФАЗ X с.

Далее смена индикации циклически повторяется. Режим включенного насоса индицируется его номером. Если насос выключен, то вместо номера высвечивается черта. Смена индикации на режим «Работа» производится нажатием кнопки «Установка» во время индикации «РАБОТА».

Очередность смены индикации в режиме «Работа»:

- ДАВЛЕНИЕ=X,X ATM;
- НАСОС X;
- PX max = Y,Y ATM;
- PX min = Y,Y ATM;
- I=Y,Y Imax=Z,Z A;
- РЕЖИМ 123 НАСОСА;
- УСТАНОВКА;
- ЗАДЕРЖКА ВОД X с;

- ЗАДЕРЖКА ТОК X с;
- ЗАДЕРЖКА ФАЗ X с.

Индикация в аварийном режиме состоит из двух строк. Первая строка высвечивает номер аварийного насоса: АВАРИЯ НАСОС X.

Вторая строка может быть, в зависимости от сработавшего датчика или параметра, следующая:

- ТОК =X,X >Y,У A;
- PX=Y,Y > Z,Z max;
- PX=Y,Y < Z,Z min;
- ТЕРМОЗАЩИТА;
- АВАРИЯ СЕТИ;
- НЕТ ВОДЫ.

При выключении всех насосов высвечивается: АВАРИЯ НАСОС 0. Чередование строк в аварийном режиме происходит с периодом 1 с.

При понижении давления воды ниже 2 атм. на второй строчке высвечивается: НЕТ ВОДЫ. При сбросе индикация переходит в режим установки для корректировки параметров или выключения насоса. На индикаторе будет надпись: НАСОС X. После сброса и пуска контроллера включаются все установленные насосы.

При срабатывании защиты по току одного насоса он выключается. Но

при срабатывании защиты другого насоса он также выключается, но индикация будет по младшему номеру насоса. Во время срабатывания защиты по току сравнение по давлению не производится. При срабатывании защиты по давлению одного насоса продолжается сравнение по другим параметрам. В случае возникновения аварийной ситуации по другим параметрам аварийный насос выключается. Однако возникновение кратковременной аварийной ситуации по превышению и понижению давления может вызвать абсурдную инди-

кацию второй строчки аварии. Например: $P1 = 4,4 > 5,5 \text{ max}$. Давление было превышено, и датчик сработал, но затем давление уменьшилось, что и наблюдается на индикаторе. При индикации аварии сравнение по аналоговым входам производится с периодом 1 с. Поэтому при выключении насоса, например, по току, будет индицироваться нулевой ток, поскольку насос выключен.

Подстроечным резистором R16 регулируют контрастность индикации ЖКИ, а резистором R15 регулируют

яркость подсветки. Внутренняя таблица перекодировки аналоговых значений рассчитана на напряжение питания микроконтроллера 5 В, соответствует индикации 10. Поскольку индикация двухразрядная, то двоеточие на индикаторе соответствует 10. Поэтому верхнее устанавливаемое значение не может превышать 9,9. При повышении напряжения питания микроконтроллера возможна индикация типа: «, 3 = 10,3».

Файл программирования микроконтроллера `dvojok.hex` можно взять на сайте журнала. 

Новости мира News of the World Новости мира

Дерево, вырабатывающее электричество

Национальный институт промышленных исследований и технологий Японии (AIST), корпорация Mitsubishi и компания Tokki в результате совместных исследований в сфере тонкопленочных солнечных батарей смогли создать новый тип фотоэлементов.



Главным преимуществом таких фотоэлементов является их исключительная тонкость. Большую часть толщины батареи составляет пластиковая подложка, защищающая элементы от воды, а рабочий слой по толщине не превышает и миллиметра.

Органические тонкопленочные солнечные батареи состоят из пластиковой подложки, фталоцианинового (пигментного) слоя и слоя фуллеренов. Инженеры AIST объединили восемь таких солнечных элементов в единый модуль, выполненный в виде листа растения площадью 60 см².

Для демонстрации возможностей несколько таких листьев объединены в дерево. Кто знает, возможно, скоро такие деревья будут вырабатывать электроэнергию для человеческих нужд и соседствовать в парках и на задних дворах домов с обычными деревьями.

3dnews

Sony создала свои очки для передачи видеосигнала

Sony представила прозрачный полноцветный дисплей в виде линз для очков; прозрачность составляет 85%, яркость – 2500 кд/м². Пользователь может видеть полноцветное видеоизображение, наложенное на окружающие человека предметы.

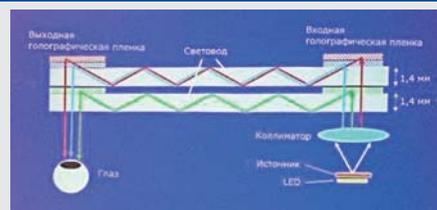
При разработке устройства компания фокусировалась на следующих моментах:

- прозрачность более 80% для использования при слабом освещении;
- цветовая однородность не более 0,009, эквивалентная ТВ;
- яркость более 2000 кд/м², позволяющая использовать устройство на открытом воздухе;
- расположение оптической системы на дужках, чтобы сделать линзы тонкими, как у обычных очков;
- масса менее 80 г, чтобы сделать комфортным использование устройства в течение двух часов.

Для этого Sony упростила структуру. Используется голографический световод и источник сигнала, составленный из источника света на светодиодах (LED) и прозрачной ЖК-панели. Свет модулируется прозрачной ЖК-панелью и доставляется к глазу через голографический световод.

Голографический световод является ключевым компонентом устройства. Голографические пленки расположены на двух участках внешней стороны стекла очков толщиной 1,4 мм и длиной 50 мм. Свет, попадающий в волновод, отражается первым голографическим слоем. Затем полное отражение повторяется в стекле прежде, чем свет окончательно отразится вторым голографическим слоем на глаза.

Голографические пленки отражают определенный цвет спектра в заданном направлении и пропускают остальные цве-



та. Отражаемая длина волны регулируется голографической схемой. Sony разработала три голографические пленки, соответствующие основным цветам (RGB). Причём не обязательно, чтобы пленки были расположены под некоторым углом, потому что они способны отражать свет в различных направлениях, даже если свет направлен параллельно световоду. Это позволяет уменьшить толщину устройства.

Когда три голографические пленки просто наложены друг на друга, нарушается цветовая однородность из-за их взаимного влияния. Перекрестные помехи происходят потому, что различаются направления отражений в зависимости от длины волны (цвета). Поэтому Sony применены два типа световодов. Первый тип отражает зелёный цвет, а второй – красный и синий. Несмотря на использование двух световодов, удалось добиться суммарной толщины в 3 мм (толщина каждого составляет 1,4 мм, зазор – 0,2 мм). Цветовая гамма дисплея составляет 120% от NTSC с цветовой однородностью в 0,008. Прототип поддерживает QVGA-разрешение, имеет массу 120 г и контрастность 50 : 1. При использовании просветлённых плёнок прозрачность дисплея достигает 85%.

В компании пока не утверждён график запуска устройства в производство. Однако в отношении технических аспектов планируется содействовать разработкам для его запуска в 2010 г., – говорят в компании.

3dnews

САПР TороR

Задание конструктивно-технологических ограничений

Сергей Лузин, Олег Полубасов (Санкт-Петербург)

Перед использованием автоматических процедур очень важно проверить правильность задания конструктивно-технологических ограничений. От этого зависит вся дальнейшая трассировка.

При ручном проектировании конструктор не всегда задаёт глобальные правила (ширину проводника, зазоры, размеры контактных площадок), осуществляя локальную корректировку параметров «по месту», тогда как автоматический трассировщик нуждается в задании правил. Если, например, проводник заданной ширины с заданным минимальным зазором не может пройти между контактами компонента, требуется найти другой путь. Автоматическое уменьшение ширины проводника при проходе в узком месте осуществляется, однако за это назначается «штраф». Оценка конкретной топологии складывается из различных штрафов, в том числе и за серьезные нарушения. Если различных штрафов много, сумма мелких штрафов может оказаться больше одного большого штрафа и вариант с реальной ошибкой может быть оценен как предпочтительный, т.е. спрогнозировать конечный результат довольно трудно.

Вывод: не следует задавать много правил для автотрассировщика; чем меньше правил, тем эффективнее выполняется трассировка.

Следует помнить, что класс точности печатной платы определяется не средним значением параметров топологии, а минимальными значениями в узком месте (часто единственном). Поэтому для автотрассировщика следует задавать именно минимальные значения. Необходимую корректировку можно осуществить при ручном редактировании, увеличив при необходимости ширину проводника «по месту».

Обратный вариант (завышенные значения параметров для автотрассировки с попыткой «расшивки» узких мест на этапе ручного редактирования) приведёт к проблемам как на этапе автотрассировки, так и на этапе редактирования.

В САПР TороR задание конструктивно-технологических ограничений осуществляется в редакторе «Стиля разработки»:

- кликните левой кнопкой мыши по пиктограмме  на панели инструментов. Это приведёт к вызову панели редактора стиля разработки (см. рис. 1);
- назначьте слои в пункте «Назначенные слои»;

- выберите трассировочные слои и их расположение (верхний/нижний) на плате в пункте «Слои трассировки»;
- определите контактные площадки в пункте «Контакты»;
- определите классы цепей и их параметры в пункте «Классы цепей»;
- определите классы компонентов и их параметры в пункте «Классы компонентов»;
- «Единицы измерения». Размеры можно задавать в миллиметрах (мм), сантиметрах (см), сантимиллиметрах (смм), микрометрах (мкм), дюймах, миллидюймах (мил); отметим, что запись в выходной файл осуществляется в исходных единицах измерения.

ОПИСАНИЕ КОНТАКТНЫХ ПЛОЩАДОК

Система TороR поддерживает четыре формы контактных площадок: круг, овал, квадрат и прямоугольник. Полигональные контактные площадки пока не поддерживаются. Выход из положения: обычная контактная площадка плюс полигон в описании компонента.

Следует тщательно проверять автоматически сгенерированные форму и размеры контактных площадок и, если необходимо, корректировать их описание.

При вращении компонентов поворачиваются и контактные площадки. Каждый тип контактной площадки

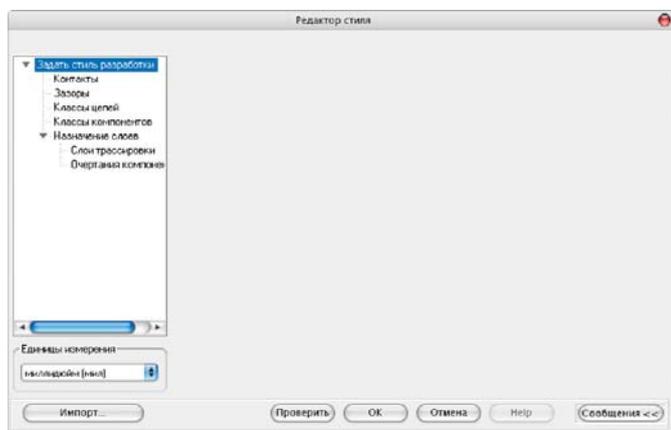


Рис. 1. Панель редактора стиля разработки

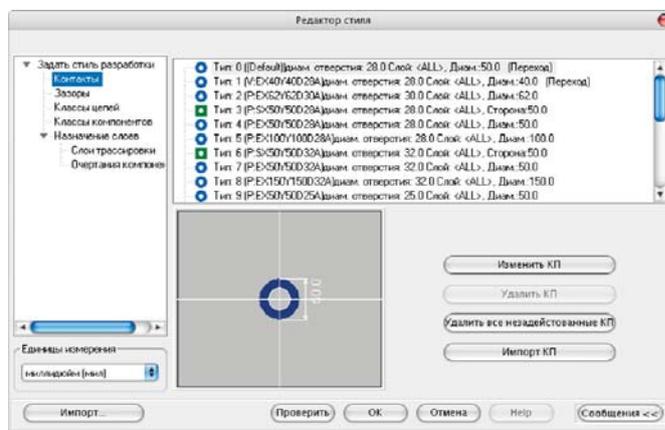


Рис. 2. Описание контактов

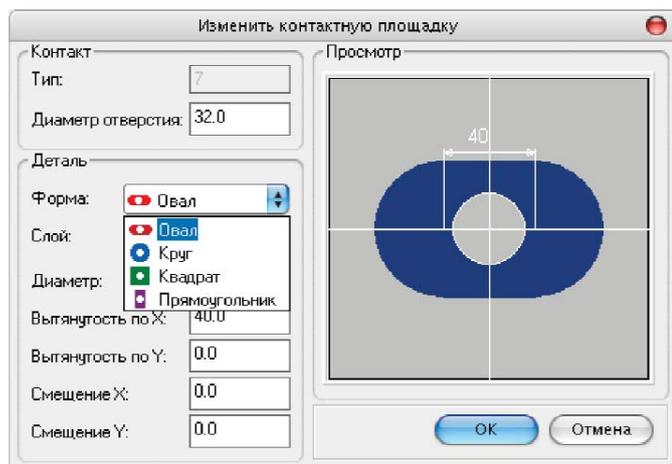


Рис. 3. Выбор формы контактной площадки

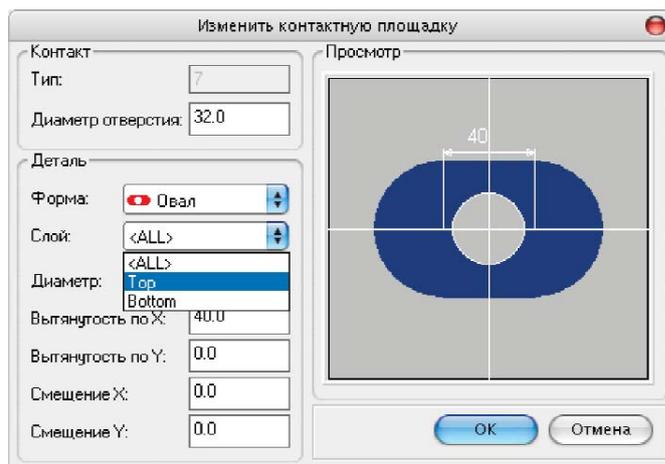


Рис. 4. Выбор слоя для контактной площадки

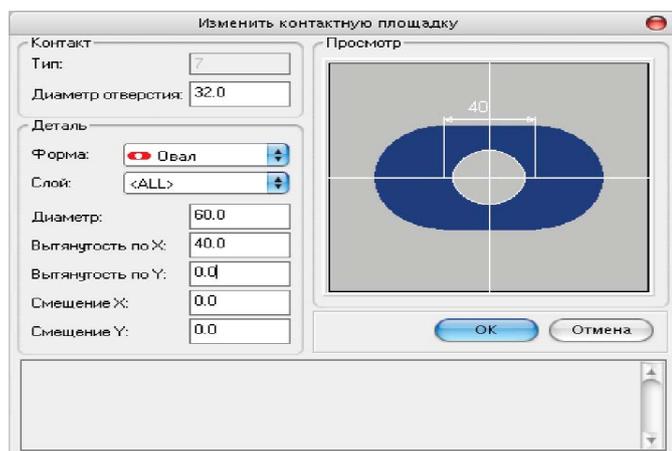


Рис. 5. Задание размеров контактной площадки

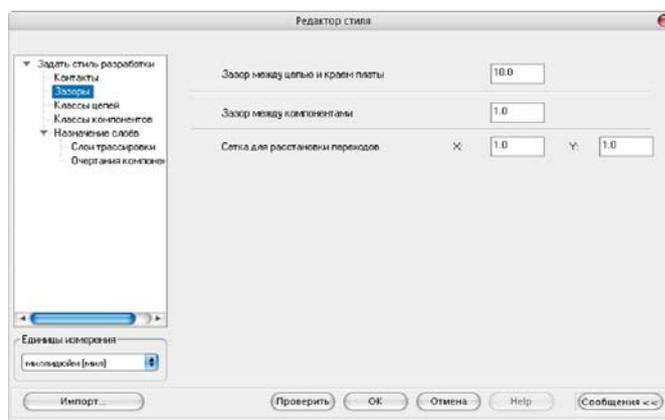


Рис. 6. Задание зазоров и сетки для расстановки межслойных переходов

должен определять либо штыревой, либо планарный контакт. Компонент может иметь одновременно и планарные, и штыревые контакты (см. рис. 2).

Овал – фигура, полученная перемещением круга вдоль линии в некотором направлении. Задаётся диаметр (ширина контакта), «вытягивание» по осям X и Y, а также сдвиг центра контакта относительно точки привязки по осям X и Y.

Наклон и длина овала задаются параметром «Вытянутость», причём овал может быть ориентирован не только горизонтально или вертикально, но и в произвольном направлении (определяется соотношением «вытянутостей» по осям X и Y). Необходимо, чтобы центр контакта лежал на оси овала (см. рис. 3 – 5).

Если невозможно выбрать правильную ориентацию (из-за противоречивости использования этого типа контактной площадки одним или несколькими компонентами), то необходимо при помощи внешнего редактора изменить тип контактов у компонента или библиотечного элемента в исходном задании.

Щелчок мыши на опции «Зазоры» вызывает панель, в которой задаются значения зазоров и шаг сетки для установки переходных отверстий (см. рис. 6).

Для установки переходных отверстий задаётся специальная сетка. Как правило, эта сетка применяется для облегчения корректировки топологии печатного монтажа вручную, а также для совместимости с используемым технологическим оборудованием. Система TороR не нуждается в сетках; большие значения шага сетки только затрудняют работу программы, поэтому не задавайте сетки крупнее, чем необходимо.

ЗАДАНИЕ ПРАВИЛ ТРАССИРОВКИ, ЗАЗОРОВ И ПЕРЕХОДНЫХ ОТВЕРСТИЙ

Проводники и зазоры описываются в разделе «Классы цепей». Общими для всех цепей параметрами являются: минимально допустимый зазор между краем проводника и краем платы, шаг сеток установки ветвлений и переходных отверстий. Конструктор должен описать правила трассировки цепей и разбить цепи на классы.

Определение правил трассировки цепей

Правила трассировки цепей, а именно ширина, минимальный и желаемый зазоры, типы переходного отверстия, задаются таблицей (см. рис. 7).

Для каждого правила устанавливается:

- номинальная ширина проводника;
- минимально допустимый зазор;
- желательный зазор;
- тип автоматически устанавливаемых переходных отверстий (все переходы – сквозные).

Во время трассировки система TороR будет «пытаться» выдерживать заданную ширину проводников и желательные зазоры между проводниками. Если не удастся выдержать желательный зазор, система будет уменьшать его, вплоть до минимального. Если не существует возможности провести трассу указанной ширины, TороR уменьшит её, взяв следующее меньшее значение из таблицы (см. рис. 8). Кроме того, система уменьшает ширину проводника, если он подходит к контакту, имеюще-

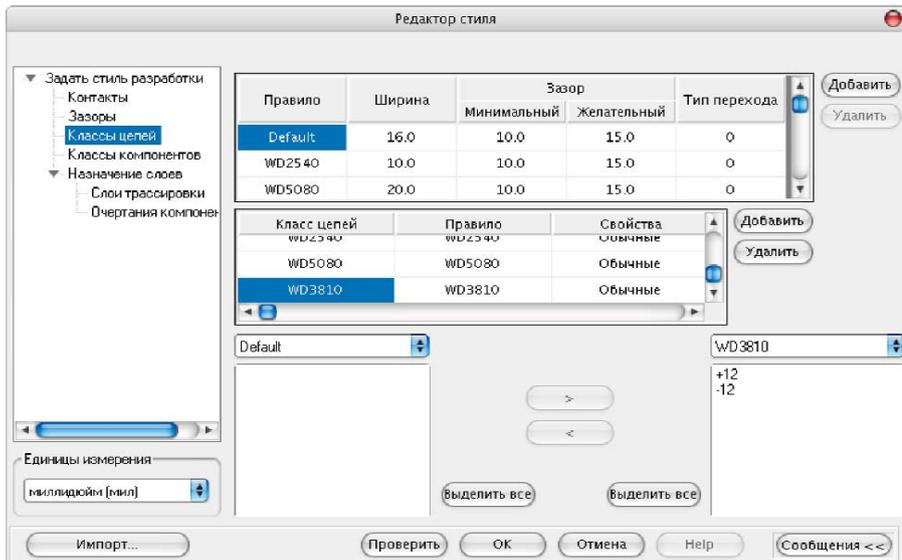


Рис. 7. Задание правил трассировки цепей

му меньшую ширину (или диаметр контакта меньше ширины проводника).

Узкие места индицируются в процессе трассировки и затем могут быть ликвидированы с помощью перемещения компонентов.

Для каждого правила может быть задан свой тип переходного отверстия. Это необходимо для того, чтобы для широких цепей была возможность задавать переходы больших размеров, чем для остальных цепей.

Добавить новое правило можно, нажав кнопку «Добавить». При этом появится строка, дублирующая активную строку из таблицы, за исключением названия правила. В ячейке названия правила появится наименое

вание *Rule* с порядковым номером. При необходимости содержание любой строки таблицы может быть отредактировано.

Удаление выделенного правила осуществляется нажатием кнопки «Удалить».

Классы цепей

В системе ТороR все цепи группируются в классы, трассируемые по разным правилам. Цепи, не указанные в других классах, составляют класс *DEFAULT* (по умолчанию).

Добавление нового класса осуществляется нажатием кнопки «Добавить». Удаление выделенного класса осуществляется нажатием кнопки «Удалить».

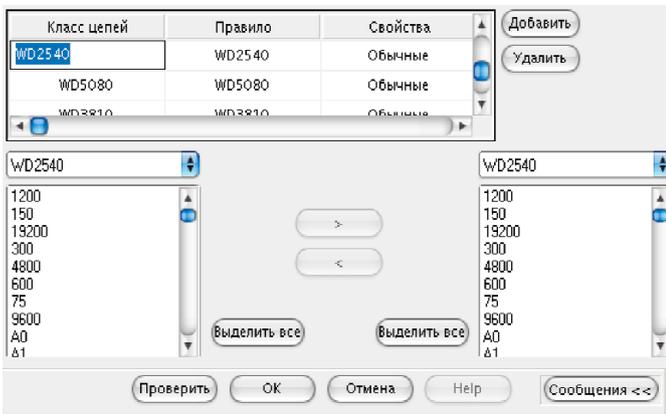


Рис. 9. Формирование классов цепей

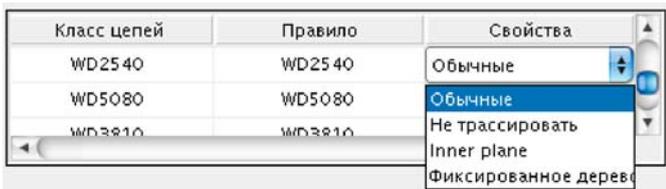


Рис. 10. Выбор свойств цепи

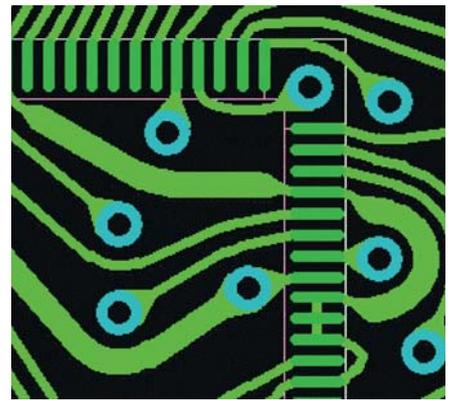


Рис. 8. Изменение ширины проводника при подходе к ламели

Для облегчения формирования списков цепей классов предусмотрена возможность переноса цепей из одного списка в другой. Нажатием кнопки > осуществляется перенос выделенных цепей из левого списка в правый, а нажатием кнопки < осуществляется перенос выделенных цепей из правого списка в левый (см. рис. 9).

Каждому классу цепей назначается правило трассировки и свойства (см. рис. 10):

- обычная трассировка;
- не трассируется;
- *Inner plane* – не трассируется, но рядом с планарными контактами цепи ставятся соединённые с контактом переходные отверстия для коммутации с трассами на внутренних слоях (например, земля и питание);
- фиксированное дерево – трассируется, но если в цепи есть контакты,

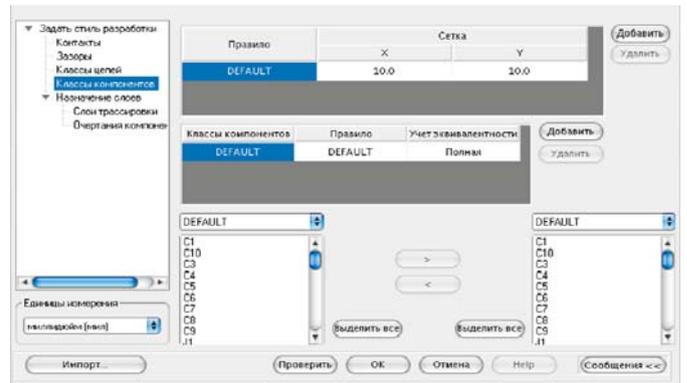


Рис. 11. Задание классов компонентов

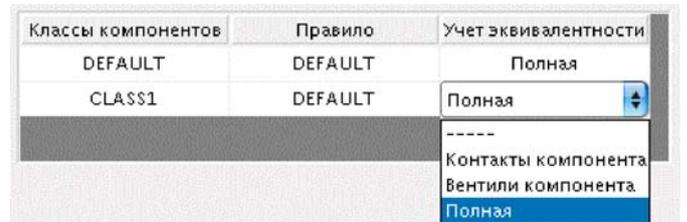


Рис. 12. Задание эквивалентности контактов компонентов

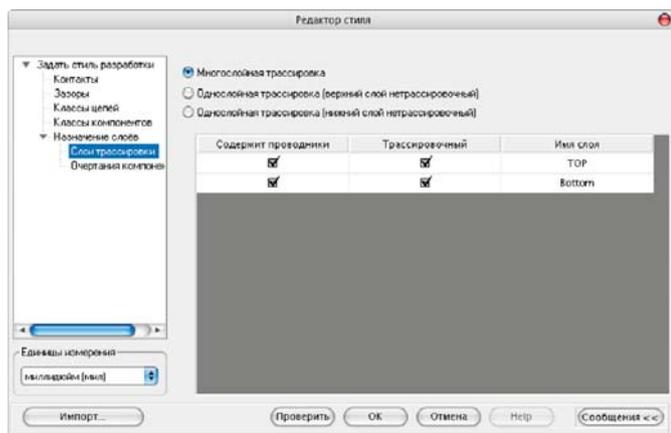


Рис. 13. Задание слоёв трассировки

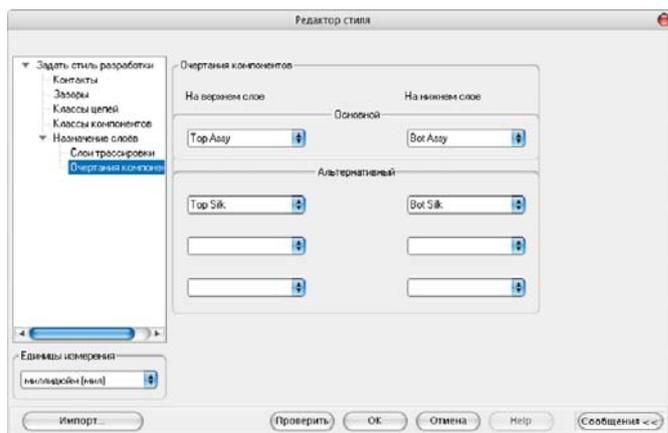


Рис. 14. Задание слоёв с очертаниями компонентов

заранее соединённые проводниками, то порядок соединений будет сохраняться; например, можно «привязать» конденсаторы развязки к определённым элементам или задать порядок соединения контактов в критичной цепи.

Описание правил установки компонентов

Система TороR обладает способностью перемещать (передвигать) элементы в некоторых пределах, сохраняя целостность цепей и соблюдая необходимые зазоры. Следовательно, должны быть заданы правила перемещения, а в исходном задании описаны реальные очертания компонентов.

Так же, как и цепи, компоненты могут быть сгруппированы в классы (см. рис. 11). Для каждого класса задаётся шаг сетки по X и по Y. Эти параметры используются в процессе автоматического или ручного перемещения компонентов. Кроме того, задаётся общий для всех компонентов параметр – минимально допустимый зазор между очертаниями компонентов, расположенных на одной и той же стороне платы.

Добавление и удаление правил установки и классов компонентов осуществляется нажатием кнопок «Добавить» и «Удалить» соответственно в разделе правил или классов. Формирование классов компонентов осуществляется аналогично формированию классов цепей.

Функциональная эквивалентность

Система TороR включает средства, позволяющие осуществить переключение цепей, подходящих к функционально эквивалентным контактам одного уровня (см. рис. 12):

- контакты компонента – использовать только эквивалентность контактов внутри одного и того же вентили;
- вентили компонента – использовать эквивалентность вентилях внутри одного и того же компонента;
- полная функциональная эквивалентность – использовать все возможные перестановки вентилях между компонентами.

Назначение слоёв

Система TороR имеет дело с физическими плоскостями: плоскостями металлизации для разводки цепей, а также одной или двумя плоскостями для установки компонентов (с двух сторон платы).

В разделе «Назначение слоёв» определяется отображение логических слоёв на плоскости. TороR не делает никаких предположений относительно названий слоёв; никакие названия не зарезервированы.

Допускаются названия длиной от 1 до 31 знаков; пустые названия запрещены. Если в описании библиотечного элемента используется слой, указанный как основной слой описания очертаний, применяется только этот слой. В противном случае применяются альтернативные слои.

В разделе «Назначение слоёв» имеются два подраздела:

- «Слои трассировки»;
- «Очертания компонентов».

Щелчок левой кнопки мыши на названии подраздела приводит к вызову соответствующей панели.

Слои трассировки

Панель «Слои трассировки» содержит таблицу слоёв трассировки. В ней приводится название слоя, а также указывается («птичкой» в квадрате

соответствующего столбца), содержит ли данный слой проводники и используется ли он для трассировки (см. рис. 13).

Переключатель в верхней части панели позволяет выбирать между многослойной трассировкой и двумя видами однослойной трассировки.

Выбор положения «верхний слой нетрассировочный» предназначен для однослойной трассировки плат со штыревыми компонентами, когда металлизирован нижний слой, а перемычки размещаются на стороне компонентов.

Выбор положения «нижний слой нетрассировочный» предназначен для однослойной трассировки плат с планарными компонентами, когда металлизирован верхний слой, а перемычки размещаются на нижней стороне платы.

При однослойной трассировке рекомендуется отключать «Строгий контроль» (Strict Check), а также использовать автоматическое перемещение компонентов в режиме «Редактирование в стиле FreeStyle». Система TороR эффективно минимизирует количество перемычек и их длину.

Очертания компонентов

В разделе «Очертания компонентов» указываются названия логических слоёв, на которых размещена информация об очертании компонентов на верхней и нижней сторонах платы: два основных слоя плюс альтернативные слои. Если в описании библиотечного элемента используется слой, указанный основным слоем описания очертаний, применяется только этот слой (см. рис. 14). В противном случае применяются альтернативные слои.

Осторожно: канцерогенные нанотрубки!

Пока российская общественность обсуждает потенциальный вред для здоровья от нанопорошка диоксида кремния, разосланного коллегам новосибирским учёным Сергеем Бардахановым (по последним данным, вроде бы порошок безвреден, хотя сам Бардаханов высказывает определённые сомнения в его безопасности, в частности, после смерти замдиректора московского Института кристаллографии РАН Светланы Желудевой), из-за рубежа приходят сообщения о подтверждённой токсичности некоторых новых перспективных наноматериалов.

По сообщению авторитетного издания Nature Nanotechnology, учёные из сообщества Project on Emerging Nanotechnologies имеют веские основания полагать, что вдыхание некоторых типов образцов нанотрубок может привести к быстрому развитию мезотелиомы (mesothelioma), разновидности рака лёгких. Риск возникновения мезотелиомы при взаимодействии с наноматериалами был подтверждён лабораторными наблюдениями за состоянием подопытной мыши, длительное время вдыхавшей воздух с повышенным содержанием углеродных нанотрубок. Участник экспериментов профессор Эдинбургского университета Кеннет Дональдсон (Kenneth Donaldson) подчеркнул, что такой же тип ракового заболевания характерен для больных, длительное время вдыхавших асбест.

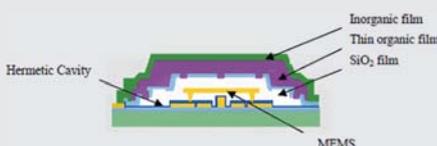
Похоже, в наше время исследователи свойств новых наноструктур рискуют своим здоровьем не меньше, чем в своё время супруги Кюри, исследовавшие радиоактивность. Конечным потребителям наноизделий вряд ли придётся беспокоиться о вреде для здоровья, поскольку сейчас в большинстве стран уже приняты жёсткие меры по биологической сертификации новой продукции. Зато учёным-исследователям предстоит потратить немало дополнительных миллионов на собственную безопасность.

Кстати, по имеющейся на данный момент информации, потенциально опасными для здоровья человека сейчас считаются прямые тонкие углеродные нанотрубки, в то время как короткие и изогнутые варианты считаются безвредными. Похоже, пришла пора всерьёз обсуждать положения новой научной дисциплины – биологической наносертификации.

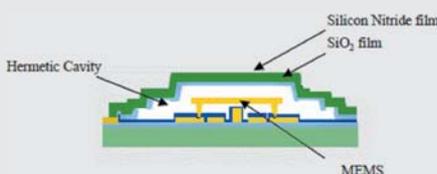
Nature Nanotechnology

Toshiba разработала технологию упаковки MEMS толщиной 0,8 мм

Toshiba представила две оптимизированные технологии полупроводниковых пакетов для микроэлектромеханических систем (MEMS), которые позволяют достичь значительного сокращения их стоимости. Первая технология включает герметизацию при нормальном давлении, вторая имеет более жёсткую структуру для применения вакуумной упаковки. Эти технологии могут применяться в подложках и использоваться для создания оболочки мультичиповых MEMS с контролирующей ИМС толщиной всего 0,8 мм, одной из самых тонких.



Снижение стоимости и повышение производительности являются основными целями развития MEMS. Вакуумная упаковка используется в высокоскоростных устройствах, таких как переключатели и гироскопы, но имеются некоторые проблемы, включая переходные процессы. Для приложений, не требующих высокой скорости, например мобильных телефонов, может применяться герметизация при нормальных условиях.



При герметизации в нормальных атмосферных условиях герметичная полость сформирована из полимерного жертвенного слоя с плёнкой оксида кремния. Травление полости в жертвенном слое происходит через отверстия в плёнке, которые затем покрывают полимерной крышкой. Эффективность травления повышена путём увеличения отверстий в оксидной плёнке, однако это повышает опасность попадания полимера в полость. Для ликвидации этого недостатка были доработаны размеры и форма отверстий. В отличие от предыдущих образцов, применение которых в MEMS было ограничено неводостойкостью материалов, в этой разработке использован устойчивый к воде материал на основе продуктов химического осаждения паров гибридной структуры органических и неорганических плёнок.

При вакуумной герметизации повышенное напряжение может привести к порче чипа. Для предотвращения подобных случаев применена гофрированная структура. В дополнение к этому, переход от круглых отверстий для травления к эллиптическим уменьшил напряжение и риск разрушения плёнки в процессе травления. Разделение более толстого слоя, устойчивого к повышенному воздействию, усложнило процесс многократной упаковки ячеек.

3dnews

Топ-10 игроков рынка MEMS в 2007 г.

В отчётах многих аналитических компаний отмечаются высокие темпы роста рынка микроэлектромеханических устройств (MEMS). Недавно свой голос к этому стройному хору присоединила Yole Developpement, предметом исследования которой стала динамика развития основных игроков в данном сегменте. Отмечается, что в 2007 г. число компаний, имеющих MEMS-производства и предлагающих соответствующую продукцию, пополнилось несколькими новыми участниками, включая Texas Instruments и Taiwan Semiconductor Manufacturing, и насчитывает теперь 23 предприятия. Хотя в некоторых компаниях в 2008 г. объём производства может даже сокращаться, но в целом по отрасли аналитики прогнозируют 25...30% рост в текущем году.

Первое место по объёму выпуска MEMS-продукции по итогам 2007 г. по-прежнему уверенно удерживает STMicroelectronics, чей доход в этом сегменте составил 220 млн. долл. (по сравнению с 206 млн. долл. в 2006 г.). На втором и третьем месте – новички рейтинга, компании TI и Sanyo, с объёмом доходов 80 и 50 млн. долл. соответственно. Эти две компании вовлечены в MEMS-производство уже в течение нескольких лет, но их активность стала заметна только в прошлом году, – отмечают аналитики.

Далее следует компания Silex, стремительная динамика роста доходов которой (26,3 млн. в 2007 г. против 13,1 млн. в 2006 г.) позволила «прыгнуть» за год с десятого места в рейтинге сразу на четвёртое. Напротив, со второго на пятое место «сползла» IMT с объёмом продаж 23 млн. долл. Завершают топ-10 компании Micralyne, Sony, Daisa Semiconductor, ELMOS-SMI и MEMStech.

3dnews

Altium Designer Summer 08 – разработка библиотек и моделей компонентов

Алексей Сабунин (Москва)

В статье приведены основные понятия о библиотеках и моделях компонентов в программе Altium Designer.

Прежде чем приступить к проекту, разработчик должен иметь в своём распоряжении библиотеку компонентов элементной базы, используемой в проекте. Хотя библиотеки, поставляемые с Altium Designer, содержат порядка 86 000 компонентов (www.altium.com/Community/support/Libraries/Designerlibraries – описание всех библиотек), существуют сомнения относительно целесообразности их использования. Во-первых, УГО (условные графические обозначения) всех этих компонентов не соответствуют ГОСТ, во-вторых, в этих библиотеках отсутствует российская элементная база, которая применяется на наших предприятиях. Поэтому перед разработкой электрических принципиальных схем и проектированием плат следует рассмотреть порядок разработки библиотек и моделей компонентов, а также разные подходы к их организации.

КОНЦЕПЦИЯ БИБЛИОТЕК ALTIUM DESIGNER

Компоненты являются основными блоками электронных изделий. При разработке и подготовке к производству проекта каждый компонент нуждается в различных представлениях: логический символ на схеме (УГО), посадочное место на плате (Footprint), описание в формате Space для моделирования, описание IBIS-модели для анализа целостности сигналов и трёхмерное описание для объёмного представления готовой платы.

Не обязательно наличие всех этих представлений для каждого компонента, но необходимо наличие стартовой точки, которой в Altium Designer является логический символ (УГО). Каждый компонент должен быть определён как минимум названием в схемной библиотеке. Он может содержать выводы и графический

символ в единственном или многосекционном виде и даже иметь альтернативные отображения. Как таковой он может быть размещён в любом схемном проекте. Однако, до тех пор, пока в компонент не добавлены модели, его нельзя применить на практике.

Для однозначного понимания разясним термины, наиболее часто используемые в среде Altium Designer.

Компонент: общее наименование объекта, который может быть применён в проекте.

Символ: общее наименование графического представления компонента, подготовленного для размещения на схеме. Символ может содержать графические объекты, которые определяют внешний вид и выводы для электрического подключения.

Физический компонент может быть смонтирован на плате.

Логический символ: схемное представление физического компонента.

Часть (секция): некоторые компоненты, такие как цепочки резисторов или реле, могут быть построены в виде серии отдельных секций (частей), которые, в свою очередь, могут быть размещены на схеме независимо (рассматриваются как многосекционный компонент).

Модель: представление компонента, который используется в некоторой практической сфере деятельности.

Посадочное место: это наименование используется для модели, которая представляет компонент на заготовке печатной платы. Посадочное место группирует набор контактных площадок (КП) на плате и изображение корпуса компонента и определяет часть платы, требуемую для монтажа и подсоединения физического компонента на плате.

Библиотека: файл, содержащий набор компонентов и набор моделей.

Библиотека моделей: файл, содержащий набор моделей компонентов.

Библиотека компонентов: файл, содержащий набор схемных компонентов.

Интегрированная библиотека: файл, содержащий набор схемных компонентов и их ассоциированные модели.

Библиотека базы данных: библиотека компонентов, где все символы имеют ссылки, модели связаны и параметрическая информация сохранена в базе данных на основе ODBC (open database connectivity – интерфейс связи с открытыми базами данных), ADO (ActiveX Data Objects – набор компонентов ActiveX, используемых для доступа к БД, поддерживающим спецификацию OLE DB) или в виде таблиц Excel.

На схемной стадии проект является набором компонентов, которые имеют логическую связность (см. рис. 1). Для тестирования или реализации проект нуждается в передаче в другую область проверки функционирования, такую как моделирование, формирование платы, анализ целостности сигналов и т.д.

Каждая область практической реализации требует некоторой информации о компонентах, а также о путях перераспределения этой информации через выводы символа. Некоторая часть этой информации для области реализации размещается в файлах моделей, формат которых является обычно predetermined. Например, модели IBIS, MDL (принцип минимальной длины описания) и SKT. Некоторая информация не содержится в файлах моделей, – например, распределение выводов SPICE и данные списков цепей должны быть определены средствами системы.

Отметим, что модели целостности сигналов IBIS и модели VRML (virtual reality modeling language – язык моделирования виртуальной реальности) или IGES 3D (международный язык обмена графической информацией)

должны быть предварительно импортированы в формат модели Altium Designer. Модели IBIS импортируются непосредственно в диалоге Signal Integrity Model, который открывается при добавлении SI-модели в компонент. VRML- и IGES-модели должны быть импортированы в PCB3Dlib перед тем, как они могут быть добавлены в компонент схемы.

Вся необходимая информация домена содержится внутри схемного компонента, который сохраняется с помощью отдельного интерфейса для каждой добавляемой модели (см. рис. 2). В сущности комплектная модель является комбинацией распределённой информации моделей, сохраняемой в компоненте, а информация о модели домена сохраняется в библиотеке моделей.

В среде Altium Designer существуют четыре типа доступных для использования библиотек.

Библиотеки моделей – модели для каждой области сохраняются в «хранилищах», обычно называемых библиотеками моделей. В некоторых областях, таких как SPICE, где обычно одна модель хранится в одном файле, они также рассматриваются как отдельные файлы (*.MDL, *.CKT). В других областях модели обычно группируются в библиотечные файлы, соответствующие заданной организации пользователя, такие как посадочные места, сгруппированные в библиотеки пакетного типа (*.PcbLib).

Библиотеки символов содержат схемные компоненты и интерфейс определения их моделей (*.SchLib). Каждый интерфейс определения модели привязан к своей соответствующей библиотеке моделей.

Интегрированные библиотеки – это наборы библиотек символов, которые вместе с их привязанными библиотеками моделей «компилированы» в интегрированную библиотеку (*.IntLib). Преимущество создания интегрированных библиотек состоит в том, что вся компонентная информация доступна в едином файле. Интегрированные библиотеки не могут быть отредактированы без распаковки источников и перекомпиляции.

Библиотека базы данных – библиотека, где все символьные ссылки, привязанные модели и параметрическая информация хранятся в базе данных на основе ODBC, ADO или в формате таблиц Excel. Каждая запись в базе

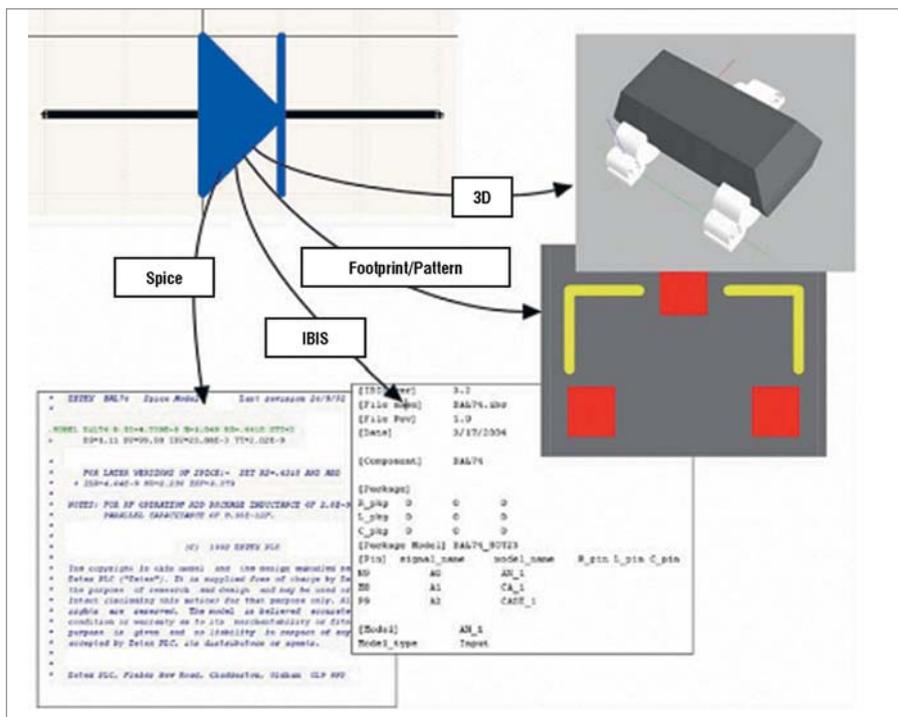


Рис. 1. Информация о различных вариантах представления компонента в файлах моделей

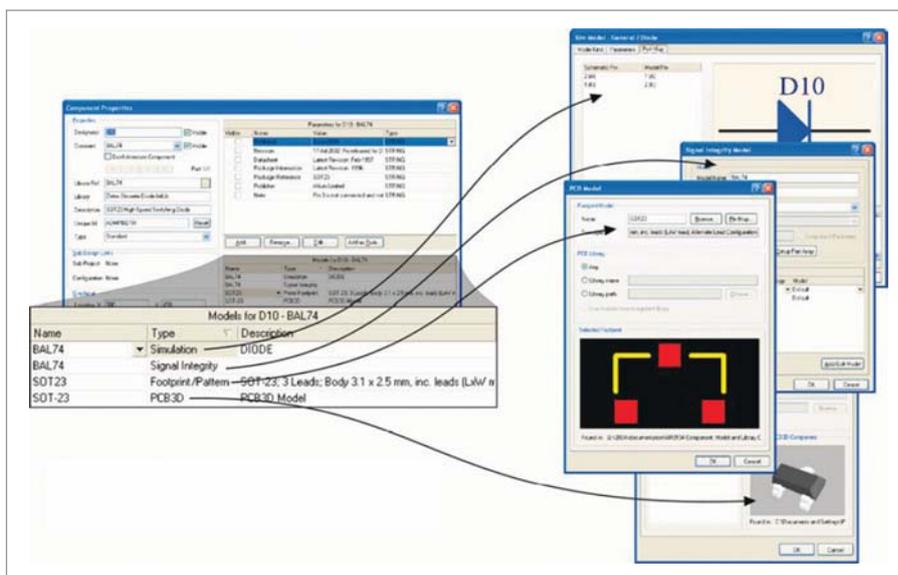


Рис. 2. Связи в каждой модели и любое её переопределение требуют определения модели в соответствующем диалоге

данных представляет отдельный компонент, а также все сохраненные параметры, вместе со ссылками на модели. Запись может содержать ссылки на инвентарную ведомость или на другие корпоративные данные о компонентах.

При таком подходе схемные компоненты используются только в виде символов (они не имеют ссылок на модели, описанные в схемной библиотеке) с моделями (посадочными местами или 3D-моделями), сохранёнными в стандартных библиотеках посадочных мест, 3D-компонентов и т.д.

Интерфейсом библиотеки базы данных является документ *.DBLib, который описывает, какие поля базы данных требуются и какие параметры компонентов они отображают. База данных DBLib подключается через панель Libraries подобно всем другим библиотекам системы.

При выполнении действий по размещению, выполняемых с компонентами библиотеки базы данных, запись в базе данных проверяется, символ загружается из указанной схемной библиотеки и модели добавляются к любым указанным моделям, так же как параметры.

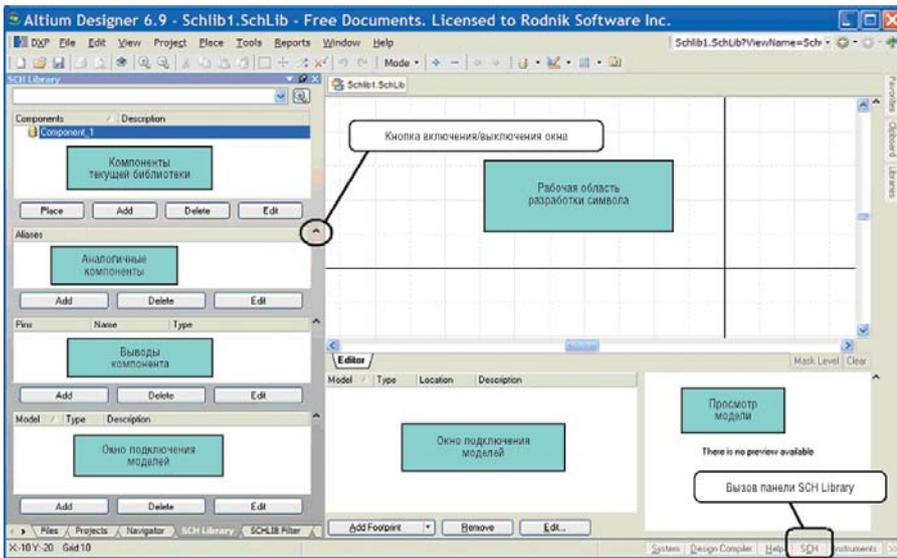


Рис. 3. Интерфейс редактора компонентов

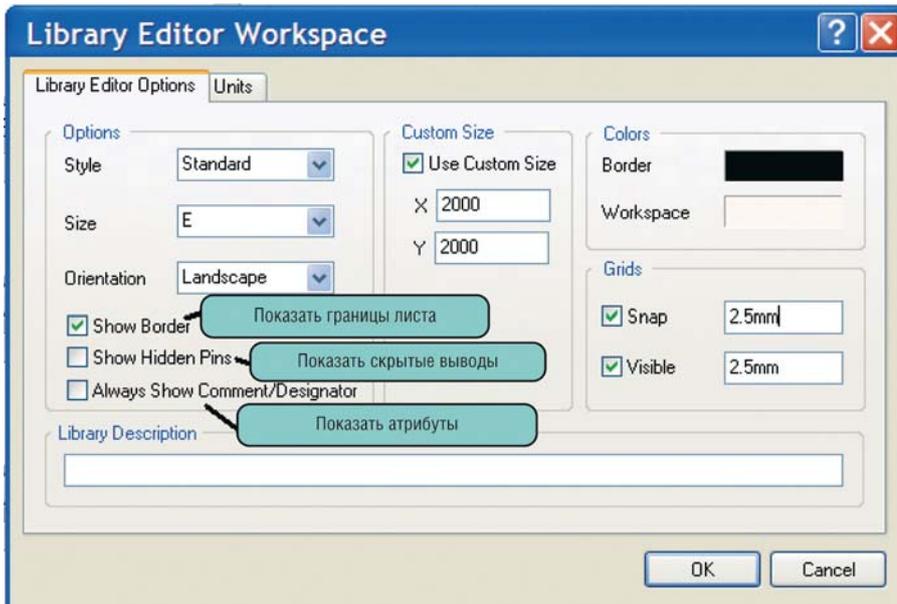


Рис. 4. Настройки рабочей области редактора символов

РАЗРАБОТКА УГО КОМПОНЕНТОВ

Предполагается, что программа Altium Designer уже запущена на компьютере. Для создания новой библиотеки необходимо выполнить: *File > New > Library > Schematic Library*. Для работы с библиотекой символов

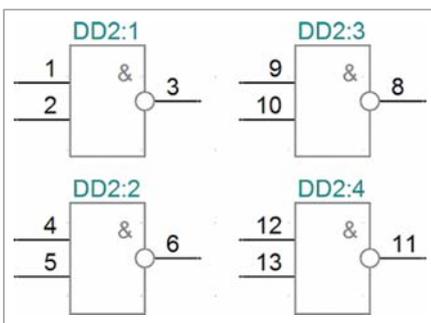


Рис. 5. Пример компонента – микросхема K1554ЛАЗ

необходимо открыть панель (которая вызывается по кнопке *SCH > SCH Library* в нижней левой части окна) и разместить её слева от рабочей области (о размещении панелей см. СЭ № 5, 2008), после чего интерфейс Altium Designer будет иметь вид, показанный на рисунке 3.

Прежде чем приступить к разработке нового символа, необходимо настроить рабочую область, т.е. выбрать необходимые единицы измерения и сетки. Данная настройка производится в окне *Library Editor Workspace*, которое вызывается командой *Tools > Document Options*. В появившемся окне на вкладке *Units* выбираются единицы измерения, причём они могут быть метрические и дюймовые (в нашем случае следует установить миллиметры). На вкладке

Library Editor Options следует установить шаг сетки 2,5 мм для двух видов сеток (*Snap* – сетка перемещения курсора в режиме графической команды, *Visible* – сетка, отображаемая на экране). Кроме сеток, на данной вкладке могут быть установлены дополнительные параметры (см. рис. 4).

Рассмотрим алгоритм создания компонента на примере микросхемы, изображённой на рисунке 5. Для создания компонента следует нажать кнопку *Add* под списком компонентов данной библиотеки в панели *SCH Library* и в появившемся окне написать название нового компонента. В результате этого новый компонент добавляется в список библиотеки. Далее процесс создания компонента можно разбить на три этапа:

- установка выводов компонента;
 - рисование графики символа;
 - установка параметров (атрибутов).
1. Выводы компонента устанавливаются командой *Place > Pin*, причём сразу после выполнения этой команды вывод становится привязанным к курсору, и в этот момент необходимо нажать клавишу *Tab* для установки свойств вывода. В открывшемся окне (см. рис. 6) следует указать название и позиционное обозначение вывода, которое соответствует номеру вывода корпуса микросхемы. Обязательно следует указать длину вывода, кратную 2,5 мм; остальные параметры, такие как электрический тип вывода и специальные символы, добавляются позже. При установке вывода он привязан к курсору большим вертикальным крестом, с другой стороны маленький диагональный крестик показывает электрическое окончание вывода (см. рис. 7). Для размещения первого вывода данного компонента его следует развернуть на 180 градусов нажатием клавиши *Space* (пробел). Установка вывода производится нажатием левой кнопки мыши, причём после установки в электрическом окончании вывода показаны четыре белые точки. Установим три вывода, как показано на рисунке 5, причём у вывода 3 следует отобразить инверсию, для чего в свойствах компонента параметру *Outside Edge* (символ снаружи на границе контура) выбирается значение *Dot* (Знак инверсии).
 2. На втором этапе создаётся графика УГО, для чего используются коман-

ды рисования (*line, Ellipses, Arc* и др.). В нашем случае выбираем команду *Place > Line* и рисуем прямоугольник, как показано на рисунке 5. Толщина и свойства рисуемой линии могут быть изменены во время рисования при нажатии клавиши *Tab*, причём толщина линии задаётся условно *Smallest, Small, Medium* и *Large* (*Small* соответствует толщине 2,54 мм). При рисовании линии могут быть использованы пять режимов, переключение между которыми выполняется клавишей *Space* (Пробел). Во время рисования графики символа может возникнуть необходимость переключения шага сетки. Для переключения между стандартными режимами сеток (установка которых будет рассмотрена в следующей статье) необходимо нажать клавишу *G* (при этом сетка будет циклически переключаться между значениями 1, 2,5 и 5 мм). При необходимости включить шаг сетки, отличный от указанных выше, нажмите последовательно клавиши *V* и *G*, после чего в появившемся выпадающем меню выберите команду *Set Snap Grid*.

Создав первую ячейку микросхемы, необходимо повторить первые два шага и создать остальные три ячейки, при этом на символе позиционные обозначения выводов должны совпадать с реальными номерами выводов микросхемы. Для создания новой ячейки внутри одного компонента выполняется команда *Tools > New Part*. В рассматриваемом случае выводы 7 и 14 относятся к питанию и земле и не должны быть показаны на символе. Для установки скрытых выводов необходимо (командой *Place > Pin*) зайти в свойства компонента нажатием клавиши *Tab*. В свойствах компонента после установки соответствующего обозначения и названия следует включить опцию *Hide* и в поле *Connect To* задать название цепи, к которой по умолчанию будет подключаться данный вывод. Кроме этого, для таких выводов обычно ставят значение 0 в поле *Part Number*, что говорит о принадлежности данного вывода к какой-то конкретной ячейке микросхемы. Результат создания символа показан на рисунке 8.

3. При создании символа в программе PCAD после вышеописанных шагов требовалось указать точку

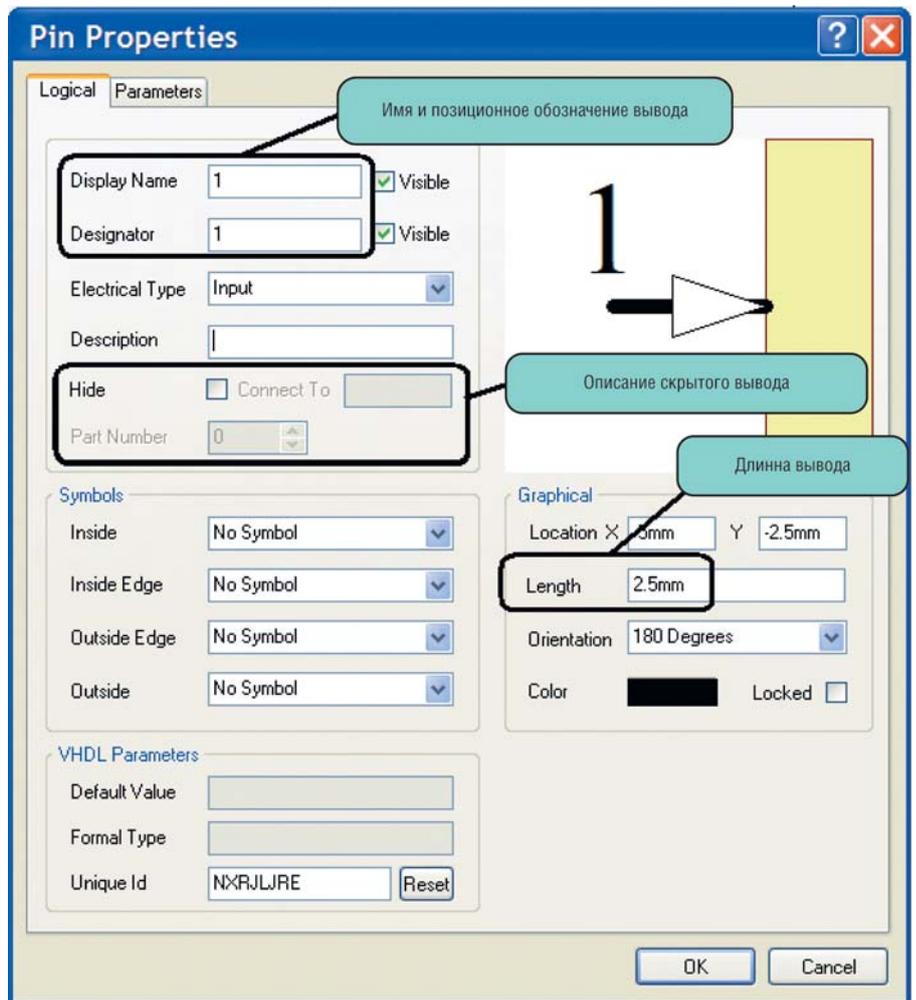


Рис. 6. Свойства вывода компонента

привязки и установить обязательный атрибут *RefDes*. В программе Altium Designer точка привязки определяется началом координат рабочей области (перекрестие в центре экрана), а позиционное обозначение (*RefDes*) автоматически добавляется над корпусом микросхемы. Третьим этапом при создании символа является добавление атрибутов, которые в дальнейшем могут быть использованы для оформления текстовой документации (перечней и спецификаций). В программе PCAD этот этап выполнялся последним, при создании компонента в приложении *Library Executive*. В программе Altium Designer в связи с тем, что изменена структура библиотек, компонент создаётся уже сейчас! Для установки атрибутов компонента необходимо выполнить двойной щелчок мыши на его названии в панели *SCH Library*. В появившемся окне свойств компонента (см. рис. 9) необходимо указать префикс позиционного обозначения компонента и при необходимости добавить па-

раметры, которые в дальнейшем могут быть использованы для создания спецификации и перечня элементов. После нажатия кнопки *OK* можно выполнить сохранение библиотеки нажатием пиктограммы с изображением дискеты.

РАЗРАБОТКА ПОСАДОЧНЫХ МЕСТ (FOOTPRINT) КОМПОНЕНТОВ

При реализации баз компонентов в программе PCAD использовались библиотеки одного типа (с расширением *.lib*). Эти библиотеки можно было назвать интегрированными, т.к. внутри них хранились символы, посадочные места и сами компоненты. В программе Altium Designer, как было показано выше, для каждого типа объектов имеются свои библиотеки. При этом библиотеки символов по



Рис. 7. Установка вывода

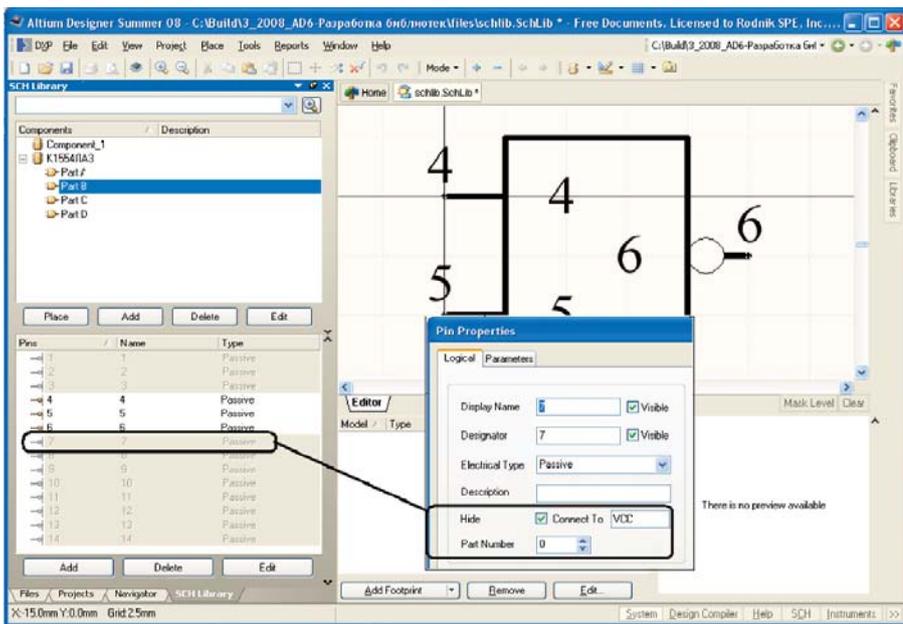


Рис. 8. Установка скрытых выводов

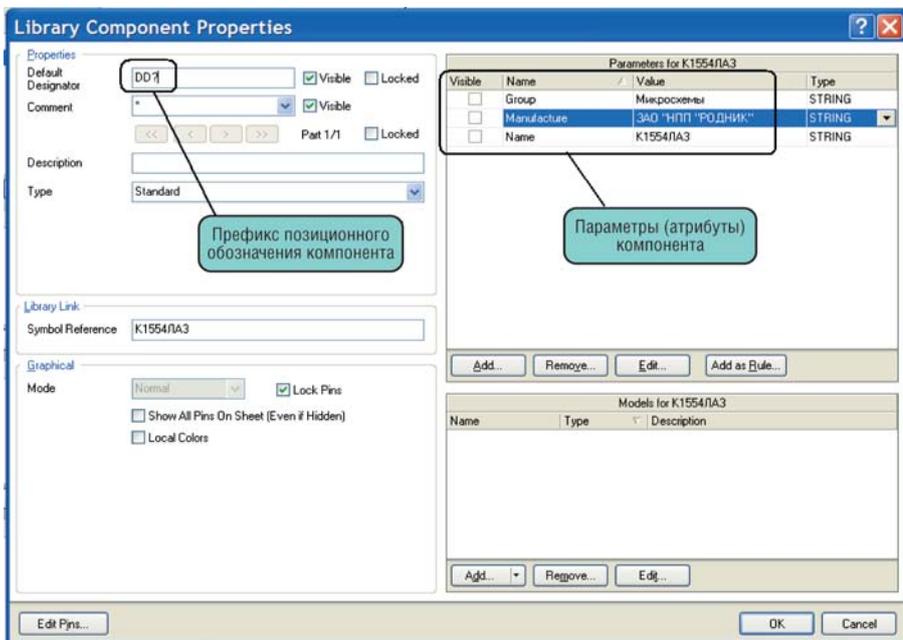


Рис. 9. Свойства компонента

сти представляют собой библиотеки компонентов, однако библиотеки посадочных мест имеют отдельное расширение; остальные три типа моделей (3D, Spice, IBIS) не имеют своего типа библиотек и хранятся в виде отдельных файлов.

Итак, после создания компонента в виде символа микросхемы K1554PA3 приступим к созданию посадочного места этой микросхемы. Начнём с создания новой библиотеки, для чего выполним команду *File > New > Library > PCB Library*.

Для работы с редактором посадочных мест используется панель *PCB Library*, которая может не запускаться автоматически. Для отображения

указанной панели необходимо найти её в группе панелей *PCB* в левой нижней части экрана. После этого интерфейс программы примет вид, показанный на рисунке 10, причём нетрудно заметить, что по умолчанию новый документ запускается в милах (mil). Такие операции, как настройка рабочей области, сетки, свойства линии и других графических объектов «по умолчанию» мы будем рассматривать в следующей статье; в данном случае установим параметры только для текущей библиотеки.

Для установки параметров выполним команду *Tools > Library Options*, и на экране появится окно, показанное на рисунке 11, где выставляются едини-

цы измерения (в поле *Units*), шаг сетки (*Snap Grid*), шаг сетки для установки компонентов (*Component Grid*, для библиотек эта сетка не используется) и две видимые сетки (*Grid 1* и *Grid 2*). Видимые сетки задаются относительно сетки *Snap Grid*, первая должна быть равна шагу сетки, вторая – в десять раз больше, тогда настройки сеток Altium Designer будут идентичны настройкам сеток PCAD. Остальные параметры в данном окне пока несущественны, поэтому принимаем изменения нажатием кнопки *OK*. Теперь на экране отображается светлая сетка, а при увеличении масштаба изображения появится тёмная сетка.

Приступим непосредственно к созданию посадочного места, которое состоит из двух этапов:

- установка контактных площадок;
- разработка графического изображения корпуса компонента.

Создание посадочного места может быть выполнено двумя способами: вручную и с помощью мастера. Сначала рассмотрим «ручной» вариант на примере посадочного места резистора, а затем с помощью мастера реализуем посадочное место для описанной выше микросхемы.

Для создания нового посадочного места выполним команду *Tools > New Blank Component*, после чего в панели *PCB Library* появится новое посадочное место с условным названием. Чтобы задать необходимое название создаваемому корпусу, необходимо выполнить двойной щелчок мыши на его надписи в панели *PCB Library* (в нашем случае вводим название *Resistor*).

1. Для установки контактных площадок выполним команду *Place > Pad*, и нажмём клавишу *Tab* для описания параметров контактной площадки. В появившемся окне (см. рис. 12) необходимо задать параметры отверстия (в поле *Hole Information*) и параметры контактной площадки (в поле *Size and Shape*). Кроме этого, могут быть заданы дополнительные параметры (см. рис. 12), причём для площадки под поверхностный монтаж сначала необходимо указать слой в поле *Layer*, после чего поле *Hole Information* будет недоступно. Нумерацию контактных площадок следует начинать с единицы, т.к. здесь указываются номера физических выводов микросхемы. Нулевой номер контактной площадки обычно используется для крепежных отверстий. Для резис-

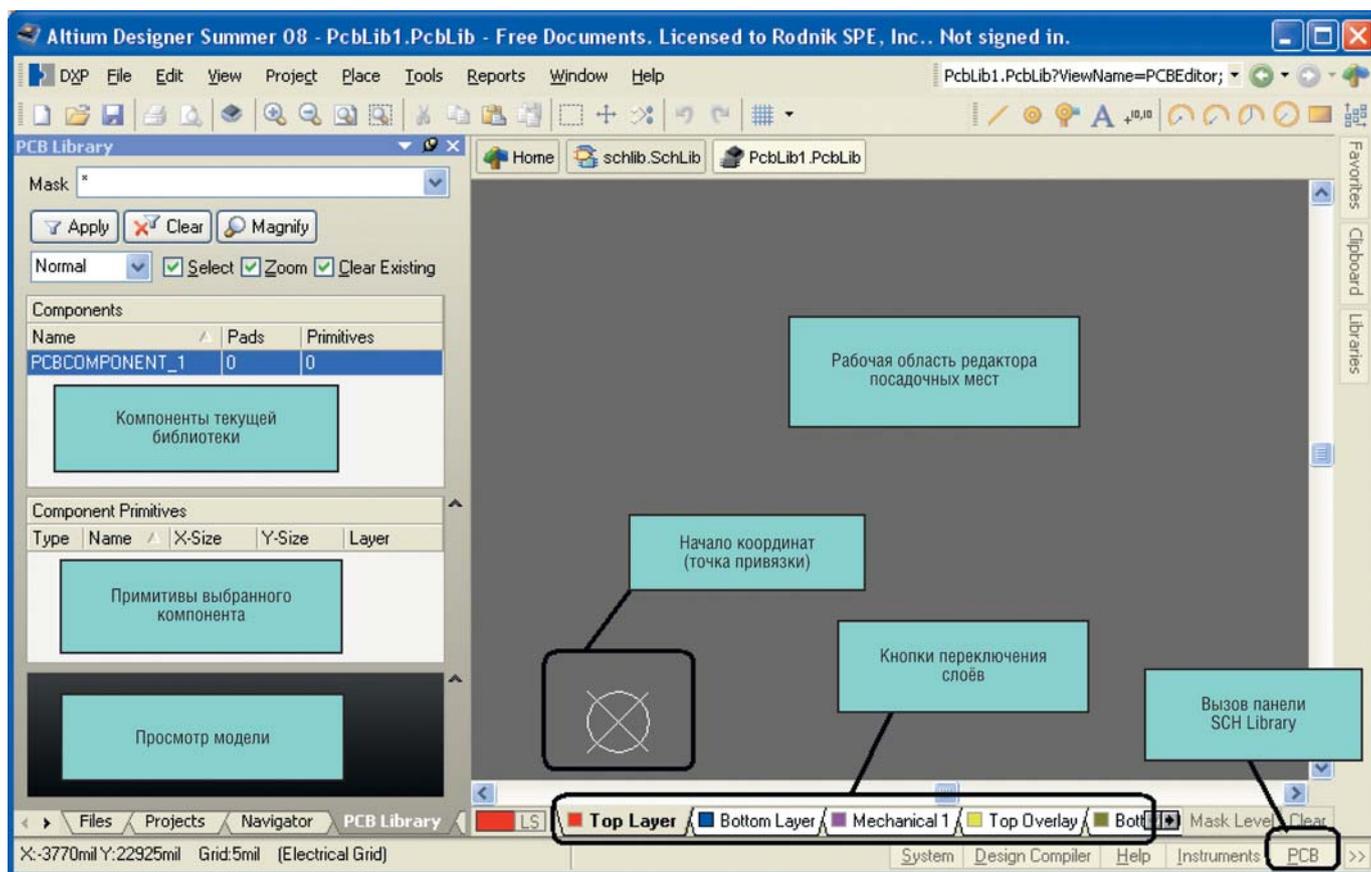


Рис. 10. Интерфейс редактора посадочных мест

тора устанавливаем две контактные площадки, причем первую – в начало координат, а вторую на 10 мм правее (4 шага основной сетки).

2. Вторым этапом создания посадочного места является разработка графики, причём она должна быть выполнена в определённом слое. Более подробно работа со слоями в программе Altium Designer будет рассмотрена в одной из последующих статей. В нашем случае контур корпуса компонента должен быть выполнен в слое *Top Overlay*. Выбор слоёв производится кнопками с их названиями в нижней части экрана (см. рис. 10). Теперь в выбранном слое будем создавать контур компонента с помощью команды *Place > Line*, которая имеет некоторые отличия от аналогичной команды, используемой в редакторе символов. Во-первых, переключение сеток при нажатии клавиши *G* здесь происходит не между заранее заданными значениями, а путём выбора сетки из списка (можно задать пользовательское значение *Set Snap Grid*). Во-вторых, вместо пяти режимов рисования каждый режим разбит на подрежимы, как показано на рисунке 13. Режимы переключаются

комбинацией клавиш *Shift + Space* и отличаются ортогональностью. Подрежимы переключаются клавишей *Shift* и отличаются положением начального сегмента. После завершения рисования корпуса резистора изображение на экране должно соответствовать рисунку 14.

В качестве особенностей данного редактора (по сравнению с PCAD

Pattern Editor) необходимо отметить следующие:

- не ставится атрибут *RefDes*; здесь, как и в редакторе символов, он будет установлен автоматически над корпусом компонента;
- не задаётся точка привязки, и отсутствуют элементы *Glue Point* (точка приклейки), *Pick Point* (точка захвата для автоматической установки)

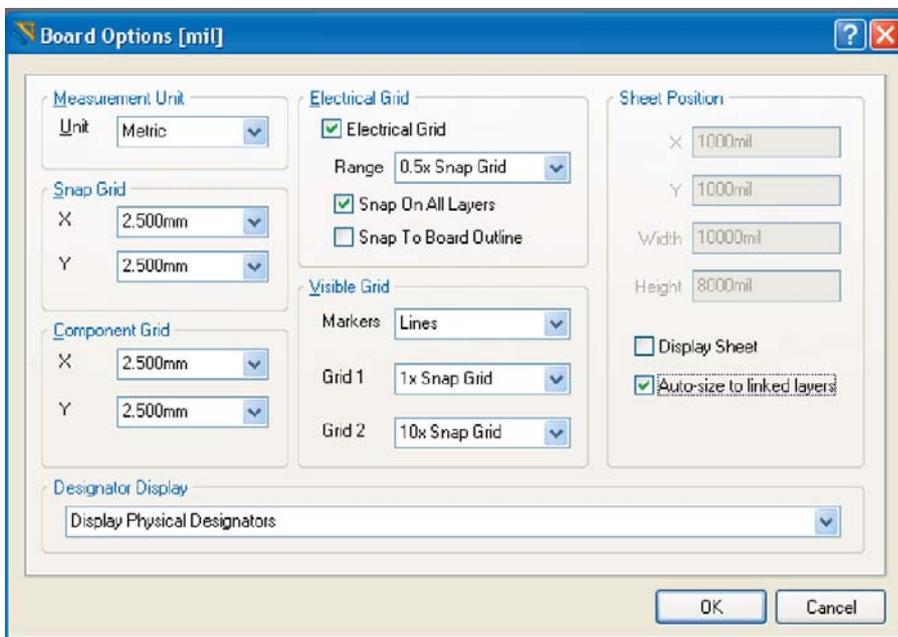


Рис. 11. Настройки рабочей области редактора посадочных мест

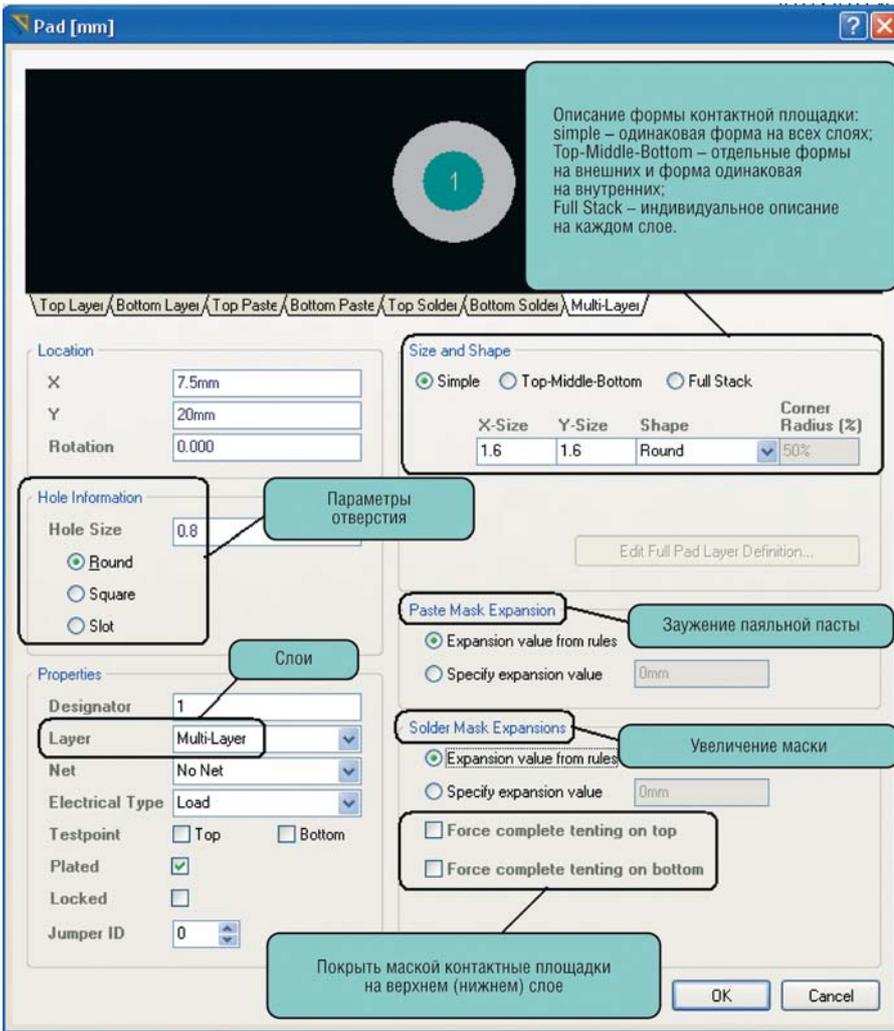


Рис. 12. Параметры контактной площадки

и *Test Point* (тестовая точка). Точка привязки по умолчанию задана в начале координат, а точки *Glue Point* и *Pick Point* с ней совпадают, поэтому, если возникает необходимость в их использовании, следует располагать начало координат в геометрическом центре компонента. Данную операцию удобно выполнять по окончании разработки посадочного места (с помощью команды *Edit>SetReference>Center*).

Когда разработка посадочного места резистора закончена, покажем, как создать более сложное посадочное место микросхемы в режиме мастера. Для запуска мастера выполним команду *Tools > Component Wizard*. На экране появится диалоговое окно мастера создания посадочных мест, и после нажатия кнопки *Next* будет предложено выбрать тип корпуса и единицы измерения (см. рис. 15). Далее, в пошаговом режиме будет предложено задать набор параметров, которые описывают создаваемую модель, – например, параметры контактной площадки, число выводов,

толщину линии корпуса и т.д. В нашем случае создаём корпус с 14 выводами. На последнем шаге будет предложено указать название посадочного места.

После завершения работы мастера сохраним библиотеку нажатием пиктограммы с изображением дискеты. Теперь мы имеем в своём распоряжении две библиотеки: в одной хранится символ микросхемы, а в другой – посадочные места резистора и микросхемы. Последним этапом нашей работы, по результатам которого можно будет использовать полнофункциональный компонент на схеме и плате, является установка ссылки для компонента на модель посадочного места. Данная процедура может быть выполнена различными способами, и существуют несколько вариантов реализации библиотек. В рассматриваемом примере будет показан метод, который предполагает хранение всех компонентов и моделей в виде интегрированных библиотек.

Для создания интегрированной библиотеки выполним команду *File>*

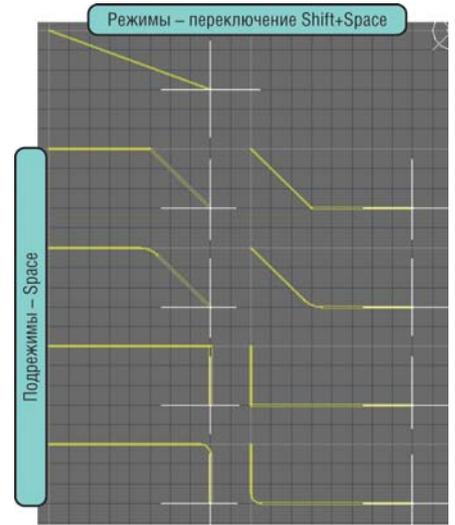


Рис. 13. Режимы рисования линии

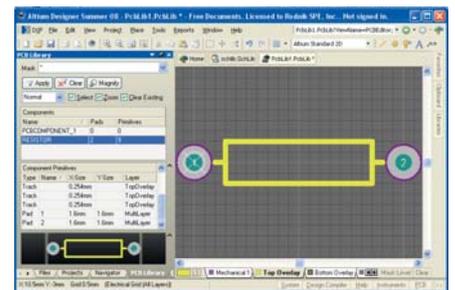


Рис. 14. Готовое посадочное место

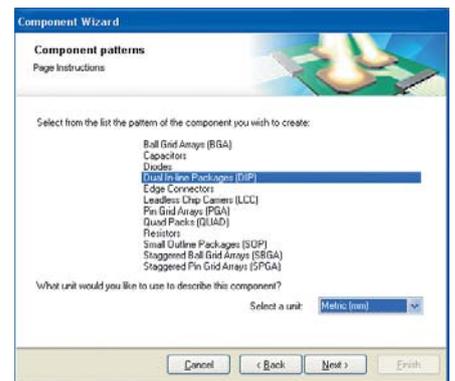


Рис. 15. Мастер создания посадочных мест

> *New>Project>Integrated Library*, после чего в структуре панели *Project* добавится новый документ, который необходимо сохранить, нажав на нём правой кнопкой мыши и выполнив команду *Save Project*. Теперь необходимо добавить в структуру созданного проекта ранее созданные библиотеки путём их перемещения в дерево панели *Project* (см. рис. 16).

Когда все необходимые библиотеки находятся в структуре интегрированной библиотеки, можно выполнять подключение моделей к соответствующим компонентам. В нашем случае необходимо открыть библиотеку символов и нажать кнопку *Add Footprint* в окне подключения моде-

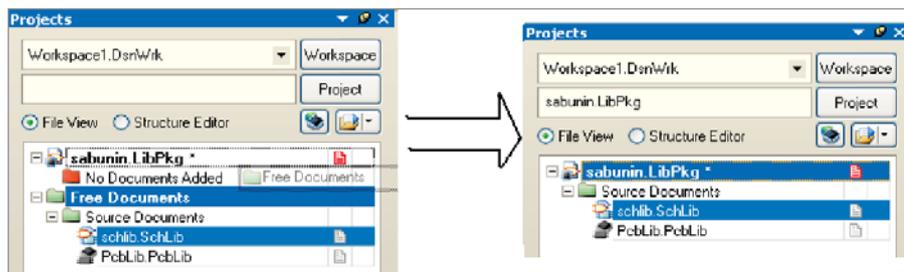


Рис. 16. Создание интегрированной библиотеки

лей (см. рис. 3). В результате на экране появится окно *PCB Model* (см. рис. 17), где после нажатия кнопки *Browse* необходимо указать требуемый корпус. Причём посадочные места, доступные по кнопке *Browse*, сразу имеют ссылку на библиотеку посадочных мест, которая находится в интегрированной библиотеке.

Теперь мы имеем готовый компонент K1554JA3, но прежде чем его использовать, необходимо сделать проверку. Она может быть выполнена по отдельности на каждом этапе разработки (символ, посадочное место и т.д.), или можно выполнить полную проверку библиотеки компонентов. Проверки первого типа выполняются командой *Reports > Component Rule Check*, как в редакторе символов, так и в редакторе посадочных мест, и фиксируют простейшие ошибки: наличие дублирующихся выводов, атрибутов и т.д.

Общая проверка библиотеки компонентов выполняется компиляцией, по результатам которой будет сгенерирован файл *.IntLib, который можно в дальнейшем использовать для работы при создании схем. Итак, выполним компиляцию проекта *Project > Compile Integrated Library...*, по результатам которой интегрированная библиотека будет автоматически подключена к программе и готова к использованию. В нашем случае мы не стали задавать настройки компиляции, т.е. сделали проверку библиотеки по правилам, заданным «по умолчанию» и, соответственно, избежали каких-либо ошибок в проекте. Компиляция и работа над её ошибками будут рассмотрены подробно в одной из последующих статей.

В заключение следует отметить, что процесс разработки библиотек в программе Altium Designer значительно упрощён (по сравнению с PCAD) за счёт исключения этапа заполнения таблицы соответствия выводов, но при этом немного услож-

нён этап разработки символа, поскольку теперь необходимо рисовать по отдельности каждую ячейку сложной микросхемы. В данной статье приведена самая предварительная информация о разработке библиотек и ведении баз данных в Altium Designer. Некоторые вопросы будут рассмотрены в последующих публикациях. Более подробно с ней можно ознакомиться в справочном руководстве. В папке *Help* установочной директории Altium Designer этой теме посвящены документы AR0104, TU0103 и AP0134.

В следующей статье будет описан процесс разработки электрических принципиальных схем и компиляция проекта.

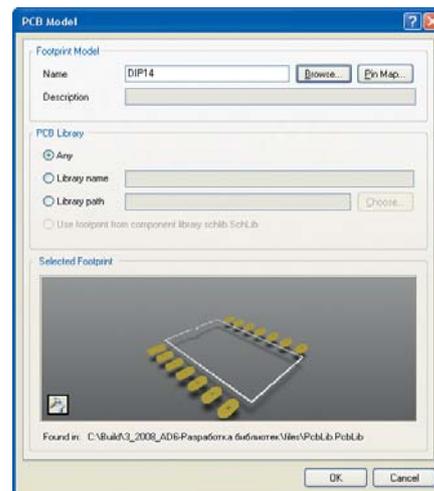


Рис. 17. Подключение посадочного места

В мае 2008 г. австралийская компания Altium выпустила новую версию программы под названием Altium Designer Summer 08. В данном цикле статей рассматриваются основные этапы работы с программой, которые не были изменены при выпуске новой версии. Ознакомиться с новыми возможностями пакета Altium Designer Summer 08 можно на интернет-странице www.altium.com/summer08. ©

Пакет прикладных программ «Электрик» – концептуальные основы построения и развития

Витаутас Зубавичус, Александр Капустин, Станислав Акунович, Марина Салмина, Ольга Оплетева (Красноярский край), Юрий Леган (Беларусь)

Пакет прикладных программ «Электрик» и его модификации осуществляет автоматизацию процесса проектирования схем электрических принципиальных узлов и аппаратуры, математическое моделирование и контроль правильности выполнения реализованной логики, передачу данных для проектирования печатных плат и конструкторской документации в единой среде проектирования. Пакет обеспечивает генерацию управляющих тестов проверки образцов на этапе изготовления, а также выпуск программно-методической документации испытаний узлов и РЭА на автоматизированных средствах контроля.

Исполнилось 30 лет пакету прикладных программ «ЭЛЕКТРИК», предназначенному для автоматизации проектирования бортовой радиоэлектронной аппаратуры космических аппаратов.

Работы по созданию ППП «Электрик» были начаты в 1977 г. Научно-производственным объединением прикладной механики (НПО ПМ им. академика М.Ф. Решетнёва, Красноярск-26) и Институтом технической кибернетики Академии Наук БССР (ИТК АН БССР, Минск). К этому времени в ИТК АН БССР уже была создана научно-техническая база по результатам исследований в ряде научных и проектных организаций отрасли машиностроения СССР, включая международное сотрудничество с Исследовательским центром станкостроения ГДР. Начиная с 1984 г., работы проводились в НПО ПМ совместно с Белорусским технологическим институтом (БТИ).

В настоящее время САПР ЭЛЕКТРИК в составе различных конфигураций эффективно применяется в ряде проектных организаций при разработке сложных релейно-коммутационных приборов и устройств автоматики и управления.

В процессе эволюционного развития было создано четыре поколения ППП ЭЛЕКТРИК:

- «Электрик» для работы на ЕС ЭВМ, в операционной системе ОС ЕС и на языке программирования PL/1 (1980–1990);
- «Электрик-М» для работы на ЭВМ типа MicroVAX и CM 1420 (1990 г.);
- «Электрик-С» на базе персональных компьютеров, совместимых с IBM PC, операционной системы MS DOS и языка программирования Pascal (1990–2007);
- «Электрик-W» на базе операционной системы MS Windows, системы визуального программирования Delphi 7 и унифицированных функциональных модулей, учитывающих результаты многолетней эксплуатации радиоэлектронной аппаратуры (РЭА).

Пакет «Электрик» предназначен для автоматизации создания комплекта конструкторской документации в сквозном цикле проектирования – от логического описания технического задания до получения технической документации в обеспечение изготовления и испытаний. Пакет состоит из следующих подсистем:

- СИНТЕЗ;
- ВВОД;
- МОДЕЛЬ;
- МОДУЛЬ;
- АНАЛИЗ;
- ТЕСТ.

Каждая подсистема содержит комплекс программ и используется на раз-

ных этапах проектирования для моделирования и анализа принципиальных электрических схем (ЭЗ), функциональных устройств (ФУ) и радиоэлектронной аппаратуры.

Каждая из подсистем имеет встроенную справочную пользовательскую документацию и может быть использована как автономно, так и в комплексе. Между подсистемами осуществляется информационный обмен.

Удобный интерфейс пользователя и процесс диалога разработаны на русском языке и ориентированы на непосредственное использование САПР ППП «Электрик» без привлечения специалистов по программированию и вычислительной технике (система является своего рода «персональной» САПР).

СИНТЕЗ – подсистема ППП «Электрик» – предназначена для:

- анализа и моделирования логического описания согласно требованиям технического задания (ТЗ), реализованного в виде уравнений булевой алгебры;
- построения справочных таблиц в помощь разработчику;
- синтеза проверяющего теста для автоматизированных испытательных комплексов (АИК).

В процессе логического проектирования решаются следующие задачи:

- ввод, корректировка и контроль логического описания (ЛО) в соответствии с ТЗ;
- построение списка цепей, списка данных об элементах ЛО (перечень элементов) и списка источников питания;
- установление структурных зависимостей между элементами ЛО и построение справочных таблиц и графов управления (ГУ) в помощь разработчику;
- синтез входной последовательности для логического теста;



Рис. 1. Возможные режимы работы подсистемы СИНТЕЗ

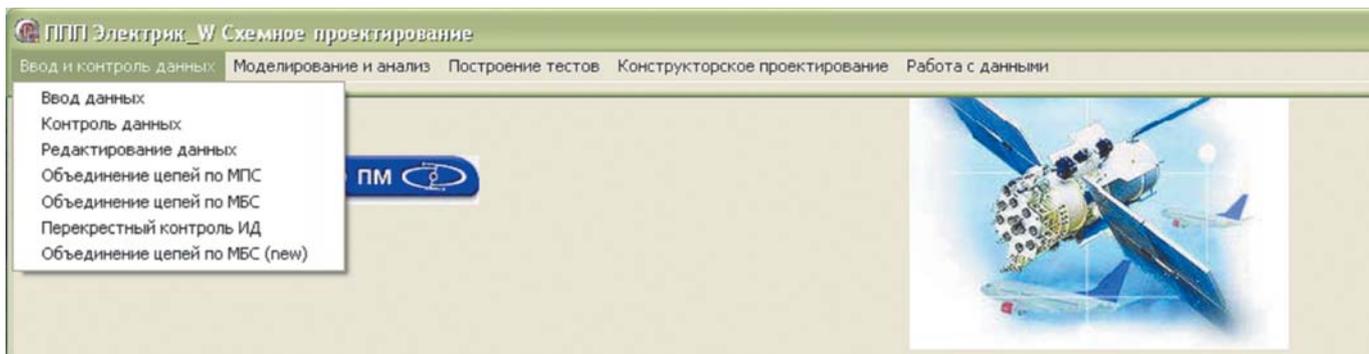


Рис. 2. Меню ввода и контроля данных ППП «Электрик-W»

- построение эталонной выходной последовательности (сформированных выходных сигналов ФУ) для сравнения логического описания по ТЗ и реализованного схемного проекта;
- моделирование ЛО и построение функциональной схемы.

Возможные режимы работы подсистемы СИНТЕЗ отображены на рисунке 1.

В ППП «Электрик – W» осуществлена возможность импорта списка связей из САПР OrCad.

ВВОД – подсистема ППП «Электрик» – предназначена для контроля, корректировки и предварительной обработки исходных данных в виде списка связей между элементами электрической схемы ЭЗ (электрических цепей). В подсистеме ВВОД реализован способ двойного кодирования схемы различными исполнителями с целью обеспечения высокой достоверности контроля. Язык описания ЭЗ прост, доступен и соответствует позиционным обозначениям ЭЗ.

В ППП «Электрик-W» имеются возможности (см. рисунок 2):

- трансляция списка связей и ПЭ на уровне платы из САПР OrCad в ППП «Электрик-W»;
- перекрестный контроль входных данных различных подсистем ППП «Электрик-W»;
- объединение списков связей уровня платы для моделирования на уровне блока, модуля, прибора, изделия;

- объединение списков связей для моделирования ФУ различного конструкторского уровня (лист, плата, блок, модуль, прибор, изделие).

При объединении списков по межплатным или межблочным связям в подсистеме ВВОД создаются выходные файлы (см. рисунок 3) соединителей (EP1, E8,...) в виде таблиц с информацией о цепи (№ С – контакт соединителя, № f – номер листа, № сер – номер цепи).

МОДЕЛЬ – подсистема ППП «Электрик» – предназначена для построения внутренней модели схемы ФУ (в релейно-контактном базисе) на основе списка связей между элементами, списка типов элементов и банка моделей модулей.

В подсистеме МОДЕЛЬ реализован агрегатный способ построения моделей ФУ, т.е. модель ФУ образуется из определенной совокупности типов агрегатов и определения связей меж-

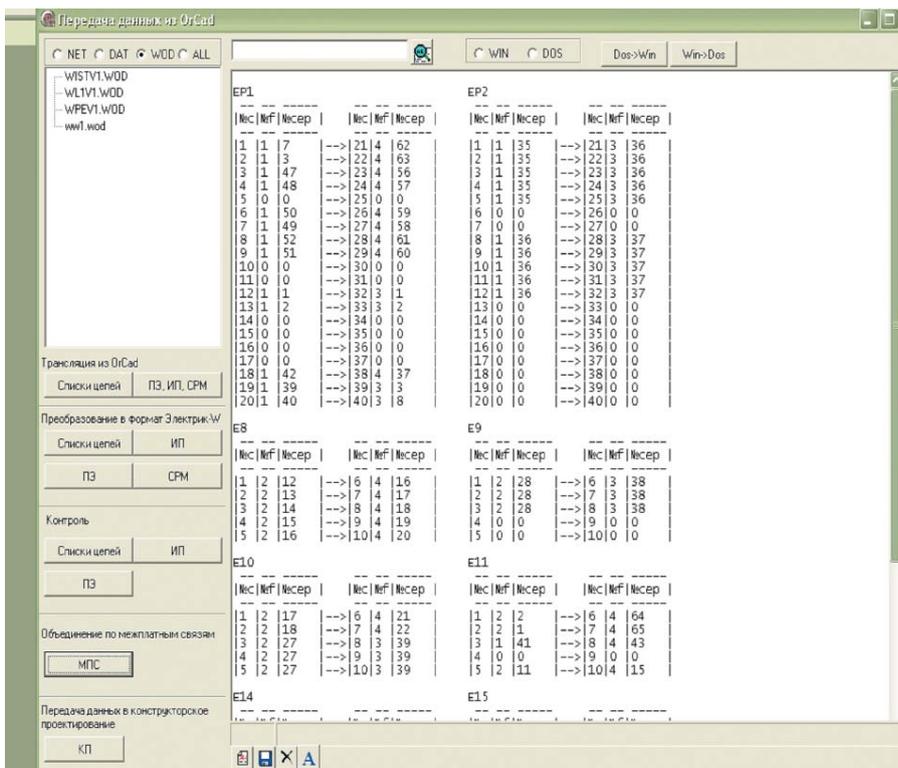


Рис. 3. Пример выходного файла подсистемы ВВОД

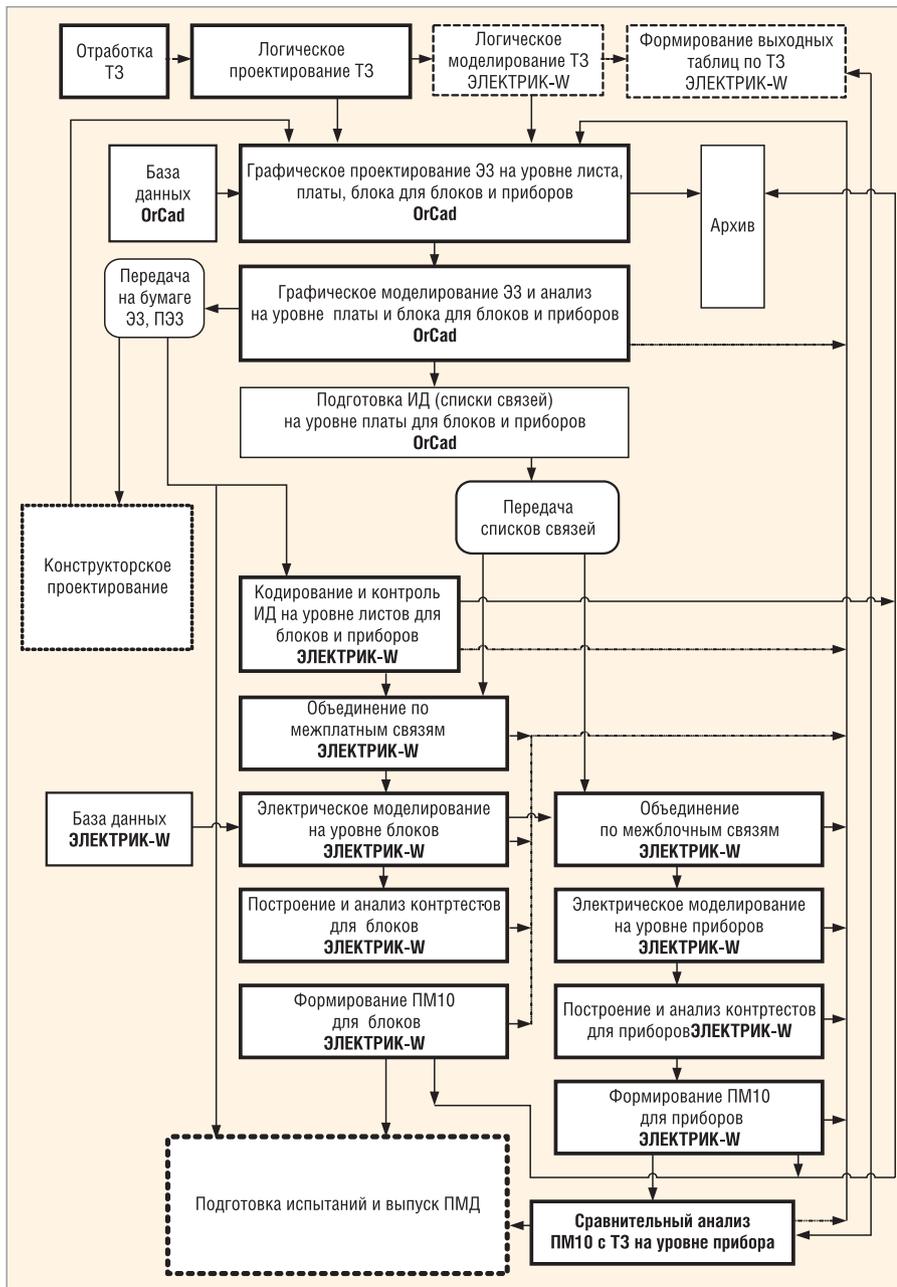


Рис. 4. Использование ППП «Электрик-W» на этапе проектирования ФУ и РЭА

ду ними. Каждому модулю (агрегату) ФУ соответствует некоторая совокупность двухполюсников. Описание модуля в виде списка двухполюсников помещается в банк моделей с определённым типом и может быть многократно использовано для построения моделей различных ФУ. Каждый модуль принципиальной электрической схемы представляется процедурой на языке Паскаль. Основным результатом работы подсистемы МОДЕЛЬ является описание ФУ в виде списка двухполюсников, а также получение справочных данных для анализа построения ЭЗ.

АНАЛИЗ – подсистема ППП «Электрик» – осуществляет моделирование функциональной схемы (или логи-

ческого описания) ФУ, представленной внутренней моделью (релейно-контактный базис) по заданной входной последовательности, анализ поведения схемы и формирование выходной последовательности. Результаты моделирования используются при экспериментальной отработке РЭА и испытаниях на АИК.

Подсистема АНАЛИЗ обеспечивает:

- получение документации, отображающей процесс функционирования ФУ с указанием причинно-следственных связей переключений аппаратов;
- получение справочной информации, отображающей структурные и функциональные характеристики моделируемого ФУ (функцио-

нальная циклограмма, функциональная схема и таблица переключений);

- анализ функционирования спроектированного ФУ;
- моделирование возможных аварийных ситуаций, вызванных отказами элементов ФУ либо подачей неверных входных команд;
- анализ работы ФУ при исчезновении и повторном включении питания;
- нахождение элементов ФУ, не переключающихся при заданной входной последовательности команд.

В процессе моделирования фиксируются такие возможные ситуации, как «зацикливание», «короткое замыкание», «соствязание» и др.

ТЕСТ – подсистема ППП «Электрик» – предназначена для построения проверяющих тестов в виде таблиц с обозначением согласно ЭЗ, анализа полноты проверки ФУ и формирования тестовых наборов при создании программно-методической документации испытаний на АИК для следующих видов проверок:

- разобщённость электрических цепей;
- соединённость электрических цепей;
- разобщённость и соединённость электрических цепей кабелей;
- сопротивление диодов в прямом и обратном направлении;
- сопротивление обмоток реле;
- сопротивление резисторов;
- функционирование ФУ по заданной входной последовательности команд.

Использование САПР ППП «Электрик» позволяет автоматизировать этап проектирования конструкторской документации ФУ и РЭА в части:

- проверки корректности логических требований технического задания;
- разработки функциональных (структурных) схем ФУ и РЭА;
- логического анализа разработанной электрической принципиальной схемы (ЭЗ) (логическое моделирование и сравнение с требованиями ТЗ);
- построения и отработки проверяющих тестов;
- конструкторского проектирования блоков, включая компоновку и составление таблиц соединений;
- разработки кабельных соединений, включая составление таблиц соединений;

- формирования технической документации (ПЭЗ, ТБР, ПМД и др.).

Использование САПР ППП «Электрик» обеспечивает существенное сокращение сроков схемного и конструкторского проектирования ФУ и РЭА и сроков отработки образцов за счёт выявления ошибок схемного уровня на этапах проектирования, автоматизации выпуска технической и программно-методической проверок, повышения качества документации. В результате повышается надёжность аппаратуры.

ППП «Электрик-W» в настоящее время успешно используется на этапах проектирования ФУ и РЭА для уровней блока и прибора (см. рисунок 4), а также создания на современном техническом уровне программно-методической документации испытаний бортовой аппаратуры (БА).

Однако, существующие программно-математические и технические средства моделирования, тестирования и диагностики электронных компонентов БА нуждаются в совершенствовании и доработке с целью повышения точности соответствия моделей реальным устройствам и повышения оперативности моделирования. На сегодняшний день при создании перспективных и модернизации существующих радиоэлектронных бортовых приборов изделий ракетно-космической техники необходимо решить проблемы унификации создаваемых ФУ бортовой аппаратуры с целью уменьшения трудозатрат, сроков проектирования и отработки новых изделий, обеспечения эксплуатационной надёжности аппаратуры с длительным сроком существования. Одним из основных путей решения данной проб-

лемы является реализация принципиально новой и эффективной технологии проектирования бортовой аппаратуры в единой среде автоматизированного проектирования, разработки и выпуска в этой среде полного комплекта конструкторской документации.

Модернизация программного комплекса «Электрик-W» ведётся с использованием современной среды визуального проектирования BDS 2006 (Delphi 10 на платформе .NET), которая позволит после завершения разработки обеспечить выполнение следующих задач процесса проектирования:

- разрабатывать БА в удобной для разработчика комплексной среде модельного проектирования в соответствии с требованиями ТЗ;
- описывать БА в виде иерархических структур из блоков и субблоков с описанием логического взаимодействия между ними;
- описывать логическое функционирование блоков и субблоков БА в виде математических поведенческих моделей на языке высокого уровня;
- отлаживать и тестировать логическое функционирование моделей БА на соответствие ТЗ с выдачей сообщений о логических ошибках, об ошибках в проектировании связей блоков и субблоков и прочих ошибках проектирования;
- создавать и сопровождать базы данных создаваемых математических моделей блоков и субблоков БА, а также их иерархическую структуру;
- синтезировать новые иерархические структуры БА на основе имеющихся в базе данных математических моделей блоков и субблоков;

- создавать шаблоны функционирования проектируемых устройств (профилей функционирования), позволяющие описать и оценить функционирование устройств в штатных и нештатных режимах, что чрезвычайно важно для оценки их функциональности;
- проводить моделирование штатных режимов;
- проводить моделирование нештатных режимов;
- проводить анализ параметров БА;
- осуществлять разработку моделей БА, не налагая ограничений на архитектуру моделей;
- реализовать автоматизированную передачу результатов схемного проектирования в САПР OrCAD (Altium Designer) на конструкторское проектирование (печатные платы) и обратно;
- формировать контрольные тесты испытаний блоков, субблоков и приборов для автоматизированных испытательных комплексов различного типа;
- выпускать программно-методическую и конструкторскую документацию.

Новый программный комплекс сможет стать эффективным интегральным инструментом разработки сложной РЭА систем управления космическими аппаратами; позволит унифицировать этапы создания БА в сквозном цикле, сократить сроки проектирования, повысить качество проектируемой конструкторской и программно-методической документации, сократить сроки отработки при повышении общей эксплуатационной надёжности вновь проектируемой аппаратуры. ©

Новости мира News of the World Новости мира

Термисторы для защиты децентрализованных мощных полевых транзисторов

Керамические чипы термисторов семейства PRF (POSISTOR) фирмы Murata разработаны для обнаружения перегрева мощных полевых транзисторов в DC/DC-преобразователях и других приложениях энергоснабжения. Сопротивление элементов серии, составляющее при 25°C 470 Ом, повышается при температуре 65...145°C до 4,7 кОм, а в диапазоне 80...150°C увеличивается ещё на 47 кОм (в зависимости от типа). Элементы серии PRF, поставляемые в

компактных корпусах 0603, пригодны также для обнаружения высоких температур аккумуляторных батарей, двигателей, мощных элементов и других систем.

www.murata.eu

Широкополосный фильтр с крутыми фронтами

Фирма Epcos выпускает на рынок ПИАВ-фильтр V1642 для широкополосного телевизионного и интернет-доступа через кабельный модем. Он разработан специально для нового международного стандарта DOCSIS 3.0 (Data Over Cable Service Interface Specification). Стандарт выставляет высокие тре-



бования к приёмникам и фильтрам, так как при скорости передачи свыше 100 Мбит/с в частотном диапазоне шириной 100 МГц увязано несколько телевизионных каналов. Центральная частота фильтра равна 1250 МГц. Фильтр поставляется в керамическом корпусе размером 3 × 3 мм.

Epcos

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 15)

Валерий Зотов (Москва)

В очередной части курса описан процесс выполнения этапа реализации (implementation) разрабатываемого устройства на базе кристаллов с архитектурой CPLD. Приводится краткое описание структуры отчётов о выполнении этапа размещения и трассировки, а также результатов статического временного анализа. Рассматриваются параметры и выполнение этапа полного (временного) моделирования проектируемого устройства. Приводятся необходимые сведения о создании конфигурационной последовательности для разрабатываемого проекта и программировании ПЛИС семейств CPLD с помощью модуля iMPACT пакета САПР серии Xilinx ISE.

Установка значений параметров полного (временного) моделирования проектируемого устройства, реализуемого на базе ПЛИС семейств CPLD

После успешного завершения процесса размещения и трассировки проекта в кристалле ПЛИС рекомендуется выполнить его верификацию методом полного (временного) моделирования. В этом случае необходимо, прежде всего, указать требуемые значения параметров этого процесса. Чтобы открыть доступ к строке запуска процесса полного (временного) моделирования проектируемого устройства, следует в окне исходных модулей *Sources Window* управляющей оболочки Навигатора проекта (*Project Navigator*) выбрать режим отображения файлов исходных описаний, предназначенных для выполнения данного этапа. Для этого необходимо в выпадающем списке поля *Sources for:* выбрать строку *Post-Fit Simulation*. При этом в окне исходных модулей *Sources Window* открывается список всех созданных тестовых модулей проекта, которые могут использоваться в процессе временного моделирования разрабатываемого устройства. Далее в появившемся списке необходимо выделить строку с названием используемого тестового файла, поместив на неё курсор мы-

ши и щёлкнув левой кнопкой. В результате этих действий в окне процессов *Processes Window* появляется раздел, название которого соответствует выбранному средству моделирования Xilinx ISE Simulator или ModelSim Simulator. Чтобы открыть данный раздел, следует поместить курсор на знак «+», расположенный перед его названием, и щёлкнуть левой кнопкой мыши.

Для контроля и установки требуемых значений параметров временного моделирования необходимо в окне процессов *Processes Window* щелчком левой кнопки мыши выделить строку *Simulate Post-Fit Model*, после чего нажать кнопку , расположенную на оперативной панели Навигатора проекта, или воспользоваться командой *Properties* контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши. Отображаемая после этого диалоговая панель параметров временного моделирования (в отличие от функционального) при использовании системы моделирования ModelSim содержит три страницы: *Simulation Properties*, *Display Properties* и *Simulation Model*. Если для верификации разрабатываемого устройства выбраны встроенные средства моделирования Xilinx ISE Simulator, то диалоговая панель параметров процесса временного моде-

лирования в этом случае будет содержать только две страницы с заголовками *ISE Simulator Properties* и *Simulation Model*.

Страница *Simulation Properties* включает в себя все параметры инициализации программы ModelSim и процесса моделирования, присутствующие на одноименной странице в случае функциональной верификации. Назначение этих параметров и их возможные значения были достаточно подробно рассмотрены в одной из предыдущих частей цикла. Кроме того, страница *Simulation Properties* для процесса временного моделирования содержит три дополнительных параметра.

Параметр *Delay Values To Be Read From SDF* предназначен для выбора одного из двух вариантов значений задержек распространения сигналов, представленных в файле SDF (Standard Format Delay), при осуществлении временного моделирования. В выпадающем списке возможных значений этого параметра представлены следующие варианты: *Setup Time* и *Hold Time*. При использовании значения *Setup Time*, установленного по умолчанию, проектируемое устройство моделируется с учётом максимальных значений задержек, указанных в соответствующем файле SDF. Значение *Hold Time* соответствует режиму моделирования при минимальных задержках распространения сигналов в разрабатываемом устройстве.

Значение параметра *UUT Instance Name* определяет название объекта верхнего уровня иерархии в тестовом модуле проекта. По умолчанию в качестве названия объекта, описывающего испытательный стенд, используется *UUT*. Если необходимо изменить идентификатор, предлагаемый по умолчанию, то следует активизировать поле редактирования параметра *UUT Instance Name* и

вести требуемое название с помощью клавиатуры.

С помощью параметра *Generate VCD File* осуществляется управление формированием файла результатов в формате VCD (Value Change Dump) в процессе временного моделирования. Этот файл может использоваться, в частности, программой оценки потребляемой мощности XPower. При использовании значения «выключено», установленного по умолчанию, автоматическое создание файла VCD в процессе временного моделирования не производится.

Страница *Display Properties* панели процесса временного моделирования содержит те же параметры, что и для этапа функционального моделирования. Значение каждого параметра, расположенного на этой странице, определяет режим отображения соответствующего дочернего окна системы моделирования ModelSim.

На странице *Simulation Model* представлены параметры, предназначенные для управления процедурами формирования полной временной модели разрабатываемого устройства, создаваемой после размещения и трассировки проекта в кристалле. Назначение этих параметров было подробно рассмотрено в предыдущей статье данного цикла. Состав параметров, представленных на странице *Simulation Model*, не зависит от выбора системы моделирования.

При использовании встроенных средств моделирования Xilinx ISE Simulator страница *ISE Simulator Properties* диалоговой панели параметров процесса временного моделирования включает в себя те же параметры, что и при функциональном моделировании. Состав и назначение этих параметров было рассмотрено в разделе, посвящённом функциональной верификации разрабатываемого устройства. Кроме того, при временном моделировании страница *ISE Simulator Properties* содержит ещё четыре параметра: *Generate VCD File for Power Estimation*, *VCD File Name*, *Delay Values To Be Read From SDF* и *UUT Instance Name*.

Значение параметра *Generate VCD File for Power Estimation* разрешает или запрещает создание файла результатов в формате VCD (Value Change Dump) при осуществлении процесса временного моделирования. По умолчанию для данного параметра предлагается значение «вы-

ключено», блокирующее автоматическое создание файла VCD в процессе временного моделирования.

Параметр *VCD File Name* предназначен для определения названия и места расположения файла результатов временного моделирования в формате VCD. Данный параметр доступен только при выборе разрешающего значения для параметра *Generate VCD File for Power Estimation*. По умолчанию в качестве названия создаваемого файла VCD предлагается идентификатор *xpower:vcd*, который записывается в рабочий каталог проекта. Для изменения предлагаемого названия файла и каталога необходимо воспользоваться кнопкой с пиктограммой в виде многоточия, представленной в поле редактирования рассматриваемого параметра. При нажатии на эту кнопку на экране появляется стандартная диалоговая панель открытия файла. С помощью этой диалоговой панели необходимо выбрать требуемую папку и указать новое название файла. В поле редактирования параметра *VCD File Name* можно сразу задать полное имя файла, включающее путь доступа к нему, используя клавиатуру.

Параметры *Delay Values To Be Read From SDF* и *UUT Instance Name* имеют то же назначение, что и при использовании системы моделирования ModelSim.

После установки требуемых значений параметров процесса временного моделирования необходимо подтвердить их нажатием клавиш *Apply* или *OK*, которые расположены в нижней части диалоговой панели параметров.

ПОЛНОЕ (ВРЕМЕННОЕ) МОДЕЛИРОВАНИЕ ПРОЕКТИРУЕМОГО УСТРОЙСТВА НА БАЗЕ ПЛИС СЕМЕЙСТВ CPLD

Запуск процесса временного моделирования проекта осуществляется двойным щелчком левой кнопки мыши на строке *Simulate Post-Fit Model* в окне процессов *Processes Window* управляющей оболочки Навигатора проекта (*Project Navigator*). Если этапы синтеза, размещения и трассировки были проведены успешно, то далее автоматически создаётся командный файл сеанса временной верификации и производится запуск выбранной среды моделирования (системы

ModelSim или средств Xilinx ISE Simulator), которая сразу же после инициализации исполняет этот пакетный файл. При отсутствии окончательных результатов этапа реализации проекта (например, в случае их удаления с помощью команды *Cleanup Project Files* из всплывающего меню *Project* или если размещение и трассировка не проводились) программные средства САПР серии Xilinx ISE автоматически выполняют все необходимые процедуры, после чего будет активизирован непосредственно процесс временного моделирования.

Для проекта, в котором правильно учтены все временные факторы (выбран кристалл с необходимым быстродействием, заданы и выполнены соответствующие ограничения), результаты временного моделирования отличаются от итогов функциональной верификации только наличием задержек между входными и выходными сигналами.

Если полученные результаты временного моделирования не удовлетворяют предъявляемым требованиям, то следует проанализировать выполнение ограничений, установленных в проекте. Кроме того, рекомендуется обратить внимание на критерии оптимизации, которые были установлены для процессов синтеза и реализации (Implementation) проекта. При необходимости следует внести коррективы во временные и топологические ограничения проекта и/или изменить критерии оптимизации, которая выполняется на этапах синтеза и реализации. После этого необходимо повторить все необходимые этапы проектирования, включая полное временное моделирование. Если указанные действия не приносят желаемого результата, то следует выбрать кристалл с более высоким быстродействием.

При получении удовлетворительных результатов временного моделирования можно перейти к завершающему этапу процесса разработки цифровых устройств на базе ПЛИС семейств CPLD – загрузке разработанного проекта в кристалл.

СОДЕРЖАНИЕ ЭТАПА ПРОГРАММИРОВАНИЯ ПЛИС СЕМЕЙСТВ CPLD В САПР СЕРИИ XILINX ISE

На этапе программирования ПЛИС семейств CPLD фирмы Xilinx осуществ-

вляется конфигурирование кристалла, предназначенного для реализации алгоритма функционирования проектируемого устройства. Рассматриваемый этап включает в себя две фазы: создание конфигурационной последовательности для разрабатываемого проекта и её загрузку в кристалл с помощью программных средств, входящих в состав пакета САПР серии Xilinx ISE.

СОЗДАНИЕ КОНФИГУРАЦИОННОЙ ПОСЛЕДОВАТЕЛЬНОСТИ ДЛЯ ПРОЕКТА НА ОСНОВЕ ПЛИС СЕМЕЙСТВ CPLD

Результаты, полученные на этапе размещения и трассировки проекта в кристалле, не могут непосредственно использоваться для конфигурирования ПЛИС. Их необходимо преобразовать в формат, воспринимаемый средствами программирования. Для загрузки разработанного проекта в кристаллы семейств CPLD с использованием JTAG-интерфейса создаётся конфигурационная последовательность (файл программирования) в формате JEDEC. Перед активизацией процесса генерации файла программирования необходимо проверить и установить необходимые значения его параметров. Для этого следует в окне процессов *Processes Window* управляющей оболочки Навигатора проекта (*Project Navigator*) щелчком левой кнопки мыши выделить строку *Generate Programming File*, после чего нажать кнопку , расположенную на оперативной панели, или воспользоваться командой *Properties* контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши. В результате выполненных действий на экране монитора отображается диалоговая панель параметров процесса генерации конфигурационной последовательности с заголовком *Programming*. В зависимости от семейства ПЛИС, выбранного для реализации разрабатываемого устройства, в состав этой диалоговой панели входят три или четыре параметра.

С помощью параметра *Autosignature Generation* выбирается способ определения сигнатуры, которая ставится в соответствие генерируемой конфигурационной последовательности и записывается в файл программирования. После загрузки

конфигурационной последовательности проекта в кристалл эта сигнатура может быть считана с помощью средств программирования. Таким образом, разработчик может при необходимости уточнить, какому проекту (варианту проекта) соответствует конфигурационная последовательность, загруженная в каждый кристалл ПЛИС. При использовании значения «включено» для параметра *Autosignature Generation* средства САПР серии Xilinx ISE автоматически формируют соответствующую строку кода. Значение «выключено», установленное по умолчанию, позволяет использовать сигнатуру, указанную разработчиком с помощью параметра *Signature/User Code*.

В случае использования кристаллов семейств XC9500, XC9500XL и XC9500XV для реализации проектируемого устройства параметр *Signature/User Code* позволяет разработчику задать уникальную сигнатуру (код пользователя) в виде строки, включающей не более четырёх алфавитно-цифровых символов, которая идентифицирует создаваемую конфигурационную последовательность каждого проекта. Для определения сигнатуры следует щелчком левой кнопки мыши активизировать соответствующее поле редактирования в диалоговой панели, после чего ввести с помощью клавиатуры требуемую последовательность символов. По умолчанию в качестве сигнатуры используется название (первые четыре символа) исходного модуля верхнего уровня иерархии проекта.

При создании файла конфигурационной последовательности для проектов, реализуемых на базе ПЛИС семейств CoolRunner-II и CoolRunner XPLA3, вместо сигнатуры указывается пользовательский код *User Code*. Этот код, в отличие от сигнатуры, не включается в состав файла программирования, а записывается в специальный регистр кристалла при его конфигурировании.

Значение параметра *Create IEEE 1532 Configuration File* разрешает или запрещает создание файла программирования ISC, соответствующего новому стандарту конфигурирования ПЛИС IEEE Standard 1532. По умолчанию для этого параметра используется значение «выключено», запрещающее генерацию файла программирования ISC.

С помощью параметра *Other Programming Command Line Options* пользователь может задать дополнительные параметры командной строки для программных средств генерации конфигурационной последовательности.

Выполнив все необходимые изменения значений параметров процесса генерации конфигурационной последовательности, следует подтвердить их нажатием клавиши *OK* в нижней части диалоговой панели *Programming*. После этого необходимо активизировать процесс формирования файла программирования двойным щелчком левой кнопки мыши на строке *Generate Programming File*, расположенной в окне процессов *Processes Window* управляющей оболочки Навигатора проекта. Информация о ходе его выполнения отображается в окне консольных сообщений *Transcript Window* и строке состояния управляющей оболочки Навигатора проекта. После успешного завершения этого процесса, отмеченного соответствующей пиктограммой в строке *Generate Programming File*, можно приступить непосредственно к программированию ПЛИС.

ОРГАНИЗАЦИЯ ПРОГРАММИРОВАНИЯ ПЛИС СЕМЕЙСТВ CPLD ФИРМЫ XILINX

ПЛИС с архитектурой CPLD, выпускаемые фирмой Xilinx, являются программируемыми в системе (in-system programmable, ISP). Для их конфигурирования не требуется специальных аппаратных средств, хотя их использование также возможно (например, программатора HW-130). Конфигурационная последовательность разрабатываемого проекта может быть загружена из компьютера через специальный кабель JTAG-интерфейса. Для программирования ПЛИС семейств CPLD фирмы Xilinx используются только четыре сигнала из совокупности, описанной в спецификации стандарта JTAG (IEEE Standard 1149.1):

- Test Data In (TDI);
- Test Mode Select (TMS);
- Test Clock (TCK);
- Test Data Out (TDO).

Представленные сигналы в процессе конфигурирования подаются на одноименные выводы ПЛИС. Если в

состав разрабатываемой системы входят несколько кристаллов ПЛИС, то их специальные выводы, используемые для программирования и периферийного сканирования, могут быть соединены в соответствии со схемой, показанной на рисунке 9. Таким образом, формируется последовательная цепочка периферийного сканирования кристаллов ПЛИС, подключенных к соответствующей группе контактов JTAG-интерфейса.

Модуль программирования *iMPACT*, входящий в состав пакета САПР серии Xilinx ISE, позволяет выполнить не только операции конфигурирования и периферийного сканирования для ПЛИС семейств CPLD, FPGA и ISP ППЗУ семейства XC18V00, но и формировать файлы «прошивки» ПЗУ и ППЗУ в стандартных промышленных форматах, поддерживаемых различными аппаратными программаторами.

УСТАНОВКА ПАРАМЕТРОВ ИНИЦИАЛИЗАЦИИ МОДУЛЯ ПРОГРАММИРОВАНИЯ ПЛИС *iMPACT* САПР СЕРИИ XILINX ISE

Прежде чем приступить непосредственно к работе с модулем программирования ПЛИС *iMPACT*, рекомендуется присоединить загрузочный кабель к соответствующему порту ПК и специальным контактам платы проектируемого устройства, предназначенным для конфигурирования кристаллов (JTAG-порту). После этого следует подать напряжение питания на разработанное устройство. Такая последовательность обеспечивает возможность автоматического обнаружения и инициализации загрузочного кабеля и цепочки периферийного сканирования кристаллов ПЛИС при активизации программы *iMPACT*. Если загрузочный кабель подключается после запуска модуля программирования, то в этом случае необходимо выполнить «вручную» операции установки типа и параметров используемого кабеля и инициализации цепочки периферийного сканирования кристаллов.

При активизации программы *iMPACT* непосредственно в среде управляющей оболочки САПР серии Xilinx ISE – Навигатора проекта (*Project Navigator*) – рекомендуется предварительно проконтролировать и при необходимости установить тре-

буемые значения параметров инициализации. Для этого в окне процессов *Processes Window* щелчком левой кнопки мыши следует выделить строку *Configure Device (iMPACT)*, после чего нажать кнопку , расположенную на оперативной панели Навигатора проекта, или воспользоваться командой *Properties* контекстно-зависимого всплывающего меню, которое выводится при щелчке правой кнопки мыши. В результате выполненных действий на экране монитора отображается диалоговая панель параметров инициализации программы *iMPACT*, которая имеет заголовок *iMPACT Programming Tool Properties*. Назначение параметров, представленных в этой диалоговой панели, поясняется ниже.

Параметр *Port to be used* позволяет разработчику выбрать порт ПК, который используется для подключения загрузочного кабеля. Выпадающий список содержит следующие значения: *Auto*, *LPT1*, *LPT2*, *LPT3*, *COM1*, *COM2*, *COM3*, *USB0*, *USB1*, *USB2*. Разработчик может указать порт, к которому подключен соответствующий загрузочный кабель. Значение *Auto* позволяет программе *iMPACT* автоматически определить порт ПК, к которому присоединён загрузочный кабель.

Значение параметра *Baud rate* определяет скорость передачи данных (бит/с) между ПК и выбранным загрузочным кабелем. Выпадающий список возможных значений этого параметра содержит пять вариантов: *Auto*, *9600*, *19200*, *38400*, *57600*. При использовании значения *Auto* осуществляется автоматический выбор скорости передачи данных, соответствующей применяемому типу загрузочного кабеля и порту ПК.

Параметр *Configuration Mode* задаёт режим конфигурирования ПЛИС, который будет автоматически установлен при запуске программы *iMPACT*. Содержание выпадающего списка возможных значений этого параметра зависит от семейства ПЛИС, выбранного для реализации проектируемого устройства. Для конфигурирования кристаллов семейств CPLD следует установить режим периферийного сканирования *Boundary Scan*.

По умолчанию для этих трёх перечисленных параметров установлено неопределённое значение *None*.

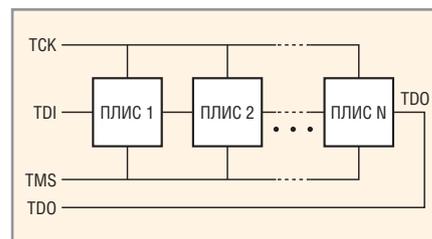


Рис. 9. Схема соединения выводов ПЛИС, используемая для программирования и периферийного сканирования

С помощью параметра *Configuration Filename* определяется название файла программирования, который будет использован в процессе конфигурирования. Название файла может быть введено непосредственно с клавиатуры после активизации поля редактирования значения этого параметра или выбрано при использовании стандартной диалоговой панели открытия файла, которая выводится на экран при нажатии кнопки с пиктограммой в виде многоточия «...». По умолчанию значение этого параметра не определено.

Все выполненные изменения параметров инициализации программы *iMPACT* вступают в силу только после нажатия клавиши *OK* в нижней части диалоговой панели *iMPACT Programming Tool Properties*. Далее следует активизировать модуль программирования ПЛИС двойным щелчком левой кнопки мыши на строке *Configure Device (iMPACT)* в окне процедур *Processes Window* управляющей оболочки Навигатора проекта. Если в диалоговой панели инициализации были оставлены значения, установленные по умолчанию, то после активизации модуля программирования автоматически запускается «мастер», который позволяет определить эти параметры в интерактивном режиме.

Работа «мастера» начинается с вывода на экран диалоговой панели *Welcome to iMPACT*, в которой необходимо выбрать режим работы программы *iMPACT*. Требуемый режим указывается с помощью группы кнопок с зависимой фиксацией, которые представлены на этой панели. Для конфигурирования ПЛИС семейств CPLD необходимо выбрать режим периферийного сканирования *Boundary-Scan (JTAG) Mode*, зафиксировав в нажатом положении кнопку *Configure devices using Boundary-Scan (JTAG)*. При этом становится доступ-

ным поле выбора способа обнаружения подключенного загрузочного кабеля и инициализации цепочки периферийного сканирования. Рекомендуется установить режим автоматического обнаружения подключенного загрузочного кабеля и цепочки периферийного сканирования. Для этого в выпадающем списке этого поля выбора следует указать строку *Automatically connect to cable and identify Boundary-Scan chain*.

При выборе варианта *Enter a Boundary-Scan chain manually* для определения и инициализации цепочки периферийного сканирования будет использоваться «ручной» способ. В этом случае после завершения работы «мастера» необходимо выполнить команду *Initialize Chain* из всплывающего меню *Operations* или контекстно-зависимого всплывающего меню. Можно также воспользоваться кнопкой . При этом на экран выводится стандартная панель открытия файла, в которой необходимо указать название cdf-файла. Информация, описывающая цепочку периферийного сканирования, сохраняется в файле cdf (Chain Description File). Работа «мастера» завершается нажатием кнопки «Готово» (*Finish*) в нижней части диалоговой панели *Welcome to iMPACT*.

Функционирование собственно программы *iMPACT* начинается с открытия нового окна в области расположения рабочих окон Навигатора проекта, на закладке которого отображается название выбранного режима работы (*Boundary-Scan*) и обнаружения загрузочного кабеля. Ход этого процесса отображается на экране дисплея с помощью всплывающего окна индикации и сопровождается соответствующей информацией в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта. Если программе не удастся автоматически идентифицировать загрузочный кабель, то в окне появляется следующее предупреждение: **WARNING:iMPACT:923 – Can not find cable, check cable setup!**

В этом случае необходимо проверить правильность подключения загрузочного кабеля или указать его параметры «вручную», используя команду *Cable Setup* из всплывающего меню *Output* или контекстно-зависимого всплывающего меню, открываемого щелчком правой кнопки мыши.

В результате на экран выводится диалоговая панель с заголовком *Cable Communication Setup*, предназначенная для «ручной» установки параметров загрузочного кабеля.

В этой панели необходимо последовательно установить следующие параметры:

- *Communication Mode* – вид интерфейса, используемого для коммутации с ПК (тип загрузочного кабеля): *Parallel III, Parallel IV, MultiPRO, Xilinx USB Cable*;
- *TCK Speed/Baud Rate* – скорость передачи данных;
- *Port* – номер порта, к которому подключен кабель загрузки;
- *Cable Location* – способ доступа к подключению загрузочного кабеля (локальный *Local* или удаленный *Remote*).

Тип используемого интерфейса устанавливается щелчком левой кнопки мыши на изображении кнопки с соответствующим названием. Значения параметров *Port* и *TCK Speed/Baud Rate* выбираются из соответствующих выпадающих списков, для доступа к которым следует использовать кнопку, расположенную в правой части каждого поля выбора. Способ доступа к загрузочному кабелю указывается с помощью двух кнопок с зависимой фиксацией *Local* и *Remote*. При выборе удаленного способа доступа необходимо указать IP-адрес компьютера, к которому подключен загрузочный кабель. Этот адрес задается в поле редактирования *Host Name*, которое становится доступным при нажатии кнопки *Remote*.

При успешном обнаружении присоединенного загрузочного кабеля производится автоматический поиск и инициализация цепочки периферийного сканирования ПЛИС, подключенной к выбранному порту JTAG-интерфейса.

ПРОГРАММИРОВАНИЕ ПЛИС СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ iMPACT

Информация об обнаруженной цепочке периферийного сканирования ПЛИС отображается в графической форме в рабочем окне программы *iMPACT* и – в текстовом виде – в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта (*Project Navigator*). Если в параметрах инициализации программы *iMPACT* не было опреде-

лено название файла программирования, то после обнаружения цепочки периферийного сканирования выводится соответствующий запрос и открывается стандартная панель выбора файла, в которой необходимо указать имя файла (с расширением .jed), используемого для конфигурирования выбранного кристалла.

В рабочем окне программы *iMPACT* под каждым условным графическим образом (УГО) ПЛИС приведен её тип и название соответствующего файла, содержащего конфигурационную последовательность. Если эта информация отсутствует или необходимо изменить название файла программирования, то следует выделить требуемый УГО, поместив на него курсор и щёлкнув левой кнопкой мыши, после чего воспользоваться командой *Assign Configuration File* из всплывающего меню *Edit* или кнопкой , расположенной на оперативной панели управления Навигатора проекта. Можно также использовать команду *Assign New Configuration File* из всплывающего контекстно-зависимого меню, активизируемого щелчком правой кнопки мыши на соответствующем УГО в рабочем окне программы *iMPACT*. В результате выполненных действий на экране отображается стандартное окно открытия файла, с помощью которого производится выбор требуемого файла программирования.

Выполнение всех операций программирования и периферийного сканирования, поддерживаемых модулем *iMPACT*, осуществляется с помощью команд всплывающего меню *Operations* или контекстно-зависимого всплывающего меню. Кроме того, доступ к этим же командам предоставляет страница *Configuration Operations*, которая автоматически открывается в окне процессов *Processes Window* управляющей оболочки Навигатора проекта. Чтобы воспользоваться командами, содержащимися на этой странице или во всплывающем меню *Operations*, необходимо предварительно выбрать кристалл, поместив на его УГО курсор и щёлкнув левой кнопкой мыши. Для активизации контекстно-зависимого всплывающего меню следует расположить указатель на условное изображение соответствующей ПЛИС и щёлкнуть правой кнопкой мыши.

Запуск процесса программирования выбранного кристалла осуществляется с помощью кнопки быстрого доступа  или команды *Program* в меню *Operations*, а также контекстно-зависимого всплывающего меню, после активизации которого на экран выводится диалоговая панель параметров процесса загрузки конфигурации с заголовком *Programming Properties*. Эта панель содержит группу общих параметров программирования кристаллов и группы опций, относящихся к конкретным семействам ПЛИС. Большинство из этих параметров может принимать одно из двух возможных значений: разрешающее («включено») и запрещающее («выключено»). Ниже рассматриваются общие параметры процесса конфигурирования кристаллов семейств CPLD, представленные во встроенной панели *General CPLD and PROM Properties*.

Параметр *Erase Before Programming* позволяет разработчику установить режим предварительного «стирания» конфигурационных данных, находящихся во внутренней («теневой») энергонезависимой памяти кристалла, перед его программированием. Значение «включено», установленное по умолчанию, указывает на необходимость выполнения операции «стирания» перед загрузкой новой конфигурационной последовательности.

Значение параметра *Verify* определяет необходимость использования операции контроля конфигурационных данных в ходе программирования ПЛИС. Выбор значения «включено» устанавливает режим проверки конфигурационной последовательности после её загрузки в кристалл. По умолчанию установлено значение «выключено», при котором верификация загруженных конфигурационных данных не выполняется.

Параметр *Read Protect* предназначен для установки защиты загружаемых конфигурационных данных от несанкционированного чтения (копирования). Программирование ПЛИС с использованием защиты от чтения устанавливает код секретности, который сбрасывается только при выполнении операции полного «стирания». По умолчанию этот параметр принимает значение «выключено», запрещающее использование кода секретности.

Параметр *PROM/CoolRunner-II Usercode (8 Hex Digits)* позволяет задать пользовательский код при программировании ПЛИС семейства CoolRunner-II. По умолчанию для данного параметра используется значение «выключено», запрещающее определение пользовательского кода, записываемого в соответствующий регистр кристалла. В случае выбора для параметра *PROM/CoolRunner-II Usercode (8 Hex Digits)* значения «включено», становится доступным поле редактирования, в котором указывается требуемое значение кода, содержащего восемь шестнадцатеричных символов.

Встроенная панель *CPLD Specific Properties* содержит специализированные параметры программирования ПЛИС с архитектурой CPLD. С помощью параметра *Write Protect* разработчику предоставляется возможность установки защиты от случайного перепрограммирования ПЛИС. При значении «выключено», установленном по умолчанию, защита от записи не используется.

Значение параметра *Functional Test* разрешает или запрещает выполнение процедуры функционального тестирования для выбранного компонента в составе цепочки периферийного сканирования.

Параметр *On-The-Fly Program* позволяет активизировать в программируемой ПЛИС опцию конфигурирования кристалла в динамическом режиме. По умолчанию для этого параметра задано значение «выключено».

С помощью параметра *XPLA UES Enter up to <number> characters* разрешается или запрещается запись последовательности символов, указанной в соответствующем поле редактирования, в регистр UES ПЛИС семейства CoolRunner XPLA3.

После установки всех необходимых значений параметров программирования в диалоговой панели *Programming Properties* следует подтвердить их нажатием кнопки ОК в нижней части этой панели, что приводит к запуску операции программирования выбранного кристалла. Состояние процесса программирования отображается во всплывающем окне индикации. Завершение процесса конфигурирования отмечается соответствующими сообщениями в области рабочего окна программы

iMPACT и в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта. В качестве примера ниже приведён протокол выполнения операций загрузки конфигурационной последовательности для проекта счётчика Джонсона, разработка которого была рассмотрена в предыдущих частях данного цикла статей. В протоколе отражено выполнение всех фаз процесса конфигурирования: проверки цепочки периферийного сканирования, стирания, программирования и контроля загруженных данных.

Протокол выполнения процесса программирования ПЛИС семейства CoolRunner-II:

```
// *** BATCH CMD : Program -p 1
-e -v -r -u 1234ABCD
-defaultVersion 0
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
INFO:iMPACT:452 - The device
'xc2c256' is in 'read-protect'
mode. The device contents cannot
be read.
Maximum TCK operating frequency
for this device chain: 0.
Validating chain...
Boundary-scan chain validated
successfully.
'1': Erasing device...
'1': Erasure completed success-
fully.
'1': Programming device...
done.
'1': Verifying device...
done.
'1': Usercode is 'fffffff'
INFO:iMPACT - Is it blank?
fffffff
'1': Programming UES...done
'1': Setting ISC done
bits...done
'1': Setting security
bits...done
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
INFO:iMPACT:452 - The device
'xc2c256' is in 'read-protect'
mode. The device contents cannot
be read.
'1': Programming completed suc-
cessfully.
PROGRESS_END - End Operation.
Elapsed time = 3 sec.
PROGRESS_START - Starting
Operation.
```

В представленном протоколе также содержится информация об установке защиты конфигурационных данных, записываемых в ПЛИС, от несанкционированного чтения (копирования).

ЧТЕНИЕ КОНФИГУРАЦИОННОЙ ИНФОРМАЦИИ ИЗ КРИСТАЛЛОВ СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ IMPACT

Реализация всех операций, рассматриваемых в настоящем и последующих разделах, осуществляется с помощью команд, которые представлены на странице *Configuration Operations* окна процессов *Processes Window*, в меню *Operations* и контекстно-зависимом всплывающем меню. Для получения доступа к ним необходимо выполнить ту же последовательность действий, что и при инициировании процесса программирования ПЛИС, рассмотренного выше. Полученные результаты отображаются в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта (*Project Navigator*).

Для считывания конфигурационных данных из запрограммированного кристалла, выделенного в цепочке периферийного сканирования, которая представлена в рабочем окне программы *IMPACT*, предназначена команда *Readback*. Считанная конфигурационная последовательность сохраняется в виде файла на диске в формате JEDEC, который может использоваться для программирования других ПЛИС. Поэтому выполнение команды *Readback* начинается с вывода стандартной диалоговой панели определения названия создаваемого файла. Дальнейший ход процесса отображается на экране дисплея с помощью всплывающего окна индикации и сопровождается информацией в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта. Процедуру выполнения операции обратного считывания иллюстрирует протокол чтения конфигурационных данных из кристалла, реализующего проект счётчика Джонсона, программирование которого, в отличие от конфигурирования, рассмотренного в предыдущем разделе, осуществлялось без защиты от несанкционированного копирования. Операция чтения кон-

фигурационных данных может быть успешно выполнена только при отсутствии защиты от копирования (установленного кода секретности).

Ниже представлен протокол обратного чтения конфигурационных данных из кристалла, реализующего проект счётчика Джонсона:

```
// *** BATCH CMD :
ReadbackToFile -p 1 -file
"D:/PRJ/jc2vh/jc2_vhd/readback.jed"
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
Maximum TCK operating frequency
for this device chain: 0.
Validating chain...
Boundary-scan chain validated
successfully.
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
'1': Performing readback on
device...PROGRESS_START -
Starting Operation.
done.
'1': Read-back completed suc-
cessfully.
PROGRESS_END - End Operation.
Elapsed time = 1 sec.
```

Процесс обратного чтения конфигурационных данных из кристалла начинается с контроля цепочки периферийного сканирования. Затем определяется идентификационный код выбранной ПЛИС. После этого осуществляется собственно считывание конфигурационной информации из кристалла.

ВЫЧИСЛЕНИЕ КОНТРОЛЬНОЙ СУММЫ КОНФИГУРАЦИОННОЙ ПОСЛЕДОВАТЕЛЬНОСТИ, ЗАГРУЖЕННОЙ В КРИСТАЛЛЫ СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ IMPACT

Вычисление контрольной суммы конфигурационной последовательности, загруженной в кристалл, осуществляется с помощью команды *Get Device Checksum*. Полученный результат сравнивается с контрольной суммой файла программирования, который указан в рабочем окне программы *IMPACT* для выбранной ПЛИС. Результаты вычисления контрольной суммы и сопоставления с исходными данными отображаются

в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта (*Project Navigator*). Структура информации, отображаемой в окне консольных сообщений *Transcript Window*, демонстрируется на примере протокола чтения контрольной суммы конфигурационной последовательности кристалла, реализующего проект счётчика Джонсона.

Протокол выполнения операции вычисления контрольной суммы конфигурационных данных, считанных из кристалла:

```
// *** BATCH CMD : Checksum -p 1
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
Maximum TCK operating frequency
for this device chain: 0.
Validating chain...
Boundary-scan chain validated
successfully.
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
'1': Reading device contents...
PROGRESS_START - Starting
Operation.
done.
'1': Calculated checksum is 78dd
'1': Calculated checksum matches
the file checksum
PROGRESS_END - End Operation.
Elapsed time = 1 sec.
```

ЧТЕНИЕ ПОЛЬЗОВАТЕЛЬСКОГО КОДА ИЛИ СИГНАТУРЫ ЗАПРОГРАММИРОВАННЫХ КРИСТАЛЛОВ СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ IMPACT

Для чтения пользовательского кода или сигнатуры запрограммированного кристалла следует использовать команду *Get Device Signature/Usercode*. Считанный код (или сигнатура) в символьном (или шестнадцатеричном) виде отображается в окне консольных сообщений *Transcript Window*. При использовании семейства CoolRunner XPLA3 для реализации проектируемого устройства рассматриваемая операция выполняется с помощью команды *Get XPLA device UES*. В качестве примера далее представлен протокол выполнения операции чтения пользовательского кода из кристалла, реализующего проект счётчика Джонсона, для которого при программировании была указа-

на кодовая последовательность символов '1234abcd'.

Результаты процесса чтения пользовательского кода кристалла, реализующего проект счётчика Джонсона:

```
// *** BATCH CMD : ReadUserCode
-p 1 -u 1234ABCD
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
Maximum TCK operating frequency
for this device chain: 0.
Validating chain...
Boundary-scan chain validated
successfully.
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
'1': Usercode is '1234abcd'
```

СЧИТЫВАНИЕ ИДЕНТИФИКАЦИОННЫХ КОДОВ КРИСТАЛЛОВ СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ IMPACT

Команда *Get Device ID* позволяет считать идентификационный код кристалла, установленный производителем. Этот код используется средствами программирования для определения типов ПЛИС, представленных в цепочке периферийного сканирования. Полученный результат отображается в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта (*Project Navigator*) в двоичном и шестнадцатеричном виде. Формат идентификационного кода содержит 32 двоичных разряда. Первые четыре разряда определяют тип корпуса; следующие семь разрядов составляют код семейства кристаллов; предпоследние 11 разрядов представляют собой код фирмы-производителя (для фирмы Xilinx он имеет вид 000 0100 1001); последний разряд всегда принимает единичное значение. Форму представления информации в окне консольных сообщений *Transcript Window* при выполнении команды *Get Device ID* демонстрирует следующий протокол чтения идентификационного кода ПЛИС семейства CoolRunner-II:

```
// *** BATCH CMD : ReadIdcode -p 1
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
Maximum TCK operating frequency
for this device chain: 0.
```

```
Validating chain...
Boundary-scan chain validated
successfully.
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
'1': IDCODE is
'00000110110101001100000010010011
'
'1': IDCODE is '06d4c093' (in
hex).
'1': : Manufacturer's ID =Xilinx
xc2c256, Version : 0
```

КОНТРОЛЬ ДОСТОВЕРНОСТИ КОНФИГУРАЦИОННЫХ ДАННЫХ, ЗАГРУЖЕННЫХ В ПЛИС СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ IMPACT

Проверка достоверности конфигурационных данных, загруженных в выбранный кристалл, производится с помощью команды *Verify*. Для этого же предназначена кнопка быстрого доступа . В процессе контроля выполняется обратное чтение конфигурационных данных из запрограммированной ПЛИС и их сравнение с содержимым соответствующего файла программирования, который указан для выбранного элемента цепочки периферийного сканирования. Информация о результатах проверки выводится в рабочем окне программного модуля *iMPACT* и в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта (*Project Navigator*). Содержание отображаемой информации показано на примере протокола выполнения операции контроля достоверности конфигурационных данных, загруженных в кристалл, реализующий проект счётчика Джонсона:

```
// *** BATCH CMD : Verify -p 1
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
Maximum TCK operating frequency
for this device chain: 0.
Validating chain...
Boundary-scan chain validated
successfully.
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
'1': Verifying device...
done.
Bit count is 123249.
```

```
Idcode is
00000110110101001100000010010011.
'1': Verification completed suc-
cessfully.
PROGRESS_END - End Operation.
Elapsed time = 2 sec.
PROGRESS_START - Starting
Operation.
```

ЧТЕНИЕ ИНФОРМАЦИИ О СОСТОЯНИИ КРИСТАЛЛА И СТИРАНИЕ КОНФИГУРАЦИОННЫХ ДАННЫХ В ПЛИС СЕМЕЙСТВ CPLD С ПОМОЩЬЮ МОДУЛЯ IMPACT

Чтобы получить информацию о состоянии выбранного элемента цепочки периферийного сканирования (запрограммирован или нет), следует использовать команду *Blank Check*. Данные о состоянии соответствующего кристалла отображаются в виде всплывающего сообщения в рабочем окне программы *iMPACT*. Перевод кристалла в незапрограммированное состояние осуществляется с помощью команды стирания *Erase* или кнопки быстрого доступа . Если данная операция выполняется для кристалла с установленной защитой от записи, то необходимо в диалоговой панели, которая выводится на экран при выборе команды *Erase*, установить параметр *Override Write Protect* в состояние «включено». Последовательность уведомлений, отображаемых в окне консольных сообщений *Transcript Window* управляющей оболочки Навигатора проекта (*Project Navigator*) при выполнении команды *Erase*, демонстрирует приведённый ниже протокол стирания конфигурационной информации в ПЛИС семейства CoolRunner-II:

```
// *** BATCH CMD : Erase -p 1
Bit count is 123249.
Idcode is
00000110110101001100000010010011.
Maximum TCK operating frequency
for this device chain: 0.
Validating chain...
Boundary-scan chain validated
successfully.
'1': Erasing device...
'1': Erasure completed suc-
cessfully.
PROGRESS_END - End Operation.
Elapsed time = 0 sec.
PROGRESS_START - Starting
Operation.
```



Продолжение следует

Программируем ЦПОС Blackfin

Владимир Бартнев, Максим Бартнев (Москва)

Приведены примеры программирования ЦПОС Blackfin с использованием отладочного модуля STAMP. На основе программы расчёта числа π методом Монте-Карло предложен новый способ оценки производительности ЦПОС.

Семейство ЦПОС Blackfin и отладочные модули STAMP

Семейство программируемых 16-разрядных ЦПОС Blackfin – это результат совместных усилий фирм Analog Devices и Intel по разработке новой архитектуры Micro Signal Architecture ADI [1]. Особенностью данной архитектуры является сочетание в одном микропроцессоре возможностей цифровой обработки сигналов, SIMD-обработки мультимедийных данных и RISC-подобный набор команд.

Главная цель создателей семейства Blackfin состояла в реализации ЦПОС массового применения с наивысшими показателями производительности при минимальной стоимости. Как показывают примеры использования ЦПОС этого семейства за последние несколько лет в различных мобильных устройствах, использующих в том числе интернет- и мультимедийные приложения, им это удалось. В частности, первый цифровой программируемый радиоприёмник (Software Defined Radio) для приёма DRM-радиостанций был изготовлен именно на ЦПОС этого семейства.

В настоящее время семейство ЦПОС Blackfin насчитывает около 30 прибо-

ров. Если первый ЦПОС этого семейства ADSP-21535 при тактовой частоте 300 МГц обеспечивал 600 млн. операций типа умножения-накопления в секунду, то более поздние представители, такие как ADSP-BF533 и ADSP-BF537, работают на частоте 750 МГц и производят свыше млрд. умножений-накоплений в секунду, а новейший прибор ADSP-BF561 стал двухъядерным, и его производительность достигает 2,4 млрд. умножений-накоплений в секунду. Сигнальные процессоры семейства Blackfin имеют развитую периферию, и, что самое главное, их цена поддерживается на низком уровне.

Как научиться программировать ЦПОС семейства Blackfin? С чего начать? В настоящее время разные фирмы выпускают различное оборудование (Development Kits) для разработки и отладки программного обеспечения применительно к ЦПОС Blackfin. Стоимость такого оборудования – от нескольких сот до нескольких тысяч долл. США. Начинающим программистам можно рекомендовать бюджетный вариант отладочного модуля, называемый STAMP. Выпускаются две разновидности этого модуля – ADSP-BF533 STAMP и ADSP-BF537 STAMP, в зависимости от того, какой ЦПОС (ADSP-BF533 или ADSP-BF537) установлен на

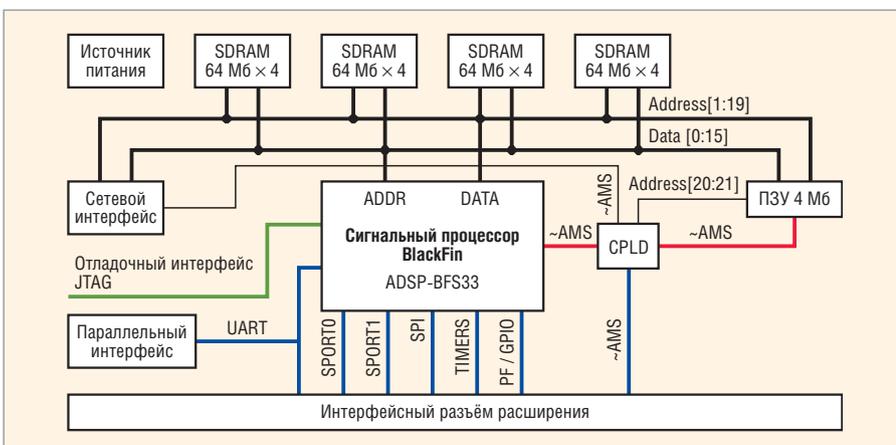
плату. Имея низкую стоимость, модуль STAMP содержит на плате 128 Мб SDRAM, 4 Мб флэш-памяти, интерфейсы PCI, JTAG, RS-232 и контроллер сети Ethernet (см. рисунок). Доступная и открытая операционная система *uClinux* с широким набором программных продуктов для модуля STAMP ускоряет разработку программного обеспечения для встраиваемых систем с минимальными затратами.

Установка программного обеспечения

Ниже описывается процедура установки необходимых программ с диска *uClinux for the ADSP-BF533 Processor*, входящего в комплект поставки платы STAMP и содержащего подробные инструкции по установке, настройке и ПО. Инструкции содержатся в файле *X:\cygwin\Cygwin_Instructions.pdf* (здесь и далее буква X обозначает ваш привод CD-ROM). Рекомендуется прочитать этот документ перед началом работы с платой. Кроме ответов на вопросы, файл содержит обширный перечень сетевых ресурсов, посвящённых использованию STAMP, *uClinux* и других компонентов.

Центральное место в наборе представленного на диске программного обеспечения занимает кросс-компилятор языка Си для процессора BF533 и компоновщик (toolchain). Эти программы поставляются как в виде исходных кодов (архивы в каталоге *X:\toolchain\source*), так и в собранном виде; включены сборки для операционных систем на базе ядра Linux для x86-совместимых процессоров (rpm-пакеты в каталоге *X:\toolchain\binaries*), а также для среды *Cygwin* (входит в состав имеющегося на диске специально подготовленного дистрибутива).

Однако для сборки программ, помимо компилятора, требуются стандартная библиотека Си, различные пользовательские библиотеки, заголовочные файлы ядра и т.д. Всё необходимое для разработки программного обеспечения платы STAMP, предназначенного для работы под управлением операционной среды *uClinux*, содержится в дистрибутиве



Блок-схема модуля STAMP

uClinux, распространяемой в виде дерева исходных кодов. Это дерево также представлено на диске в нескольких вариантах. Во-первых, архив, содержащий все исходные коды *uClinux*, находится в папке `X:\kernel\source`. Во-вторых, дерево с исходными кодами включено в специально подготовленный дистрибутив *Cygwin*.

Отметим, что попытка использования архива с поставляемого диска совместно с `glibc`-пакетами компилятора и компоновщика для ядра ALT Linux Master 2.4 не была успешной. В то же время применение размещённого на диске варианта среды *Cygwin* под управлением операционной системы Windows XP позволило добиться желаемых результатов. Поэтому далее будет описан процесс разработки именно в среде *Cygwin*. Получить последнюю версию можно на интернет-странице разработчиков программного обеспечения [2].

Для установки версии среды *Cygwin*, специально адаптированной для *uClinux*, следует запустить исполняемый файл, содержащийся в каталоге `X:\cygwin`; потребуется не менее 900 Мб свободного дискового пространства. Кроме того, дополнительное дисковое пространство потребуется при сборке *uClinux*, поэтому рекомендуется иметь по меньшей мере 1,5 Гб свободного места на диске перед установкой *Cygwin*. В процессе установки мастер запросит желаемый путь. В инструкции предполагается, что для установки был выбран путь `c:\uClinux`. Обратите внимание на запрос о версии *Cygwin* и выберите ту версию, которая точно соответствует типу файловой системы на томе, куда производится установка. В противном случае работа входящих в состав среды программ будет приводить к ошибкам!

Кроме *Cygwin*, мастер также предложит установить дополнительные утилиты. В данной статье не приводится описание этих утилит, так как для работы на начальном этапе освоения программирования ЦПОС устанавливать их не обязательно, а сам процесс может отнять значительное время.

После завершения установки запустите интерпретатор командной строки среды *Cygwin* через меню «Пуск/Start». По умолчанию ярлык для запуска находится в папке *Программы/Programs – uClinux* и называ-

ется *Cygwin uClinux*. Также по умолчанию будет создан ярлык для запуска интерпретатора командной строки на рабочем столе.

После запуска интерпретатора в открывшемся чёрном экране после курсора `$` следует набрать `c: cd\uClinux\cygwin\usr\uClinux-dist`. Это означает переход в указанную директорию. Затем наберите команду `$make`. Произойдёт сборка ядра системы, и при отсутствии ошибок можно перейти к написанию первой программы на Си.

В любом текстовом редакторе напишем первую тестовую программу, например, *hello.c*:

```
#include <stdio.h>
#include <stdlib.h>
int main(int argc, char *argv[])
{
    fprintf(stderr, "Hello,
STAMP\n");
    fflush(stderr);
    return 0;
}
```

Теперь скомпилируем эту программу, набрав в командной строке:

```
$gcc -o hello.exe hello.c
```

Появившийся исполняемый файл можно запустить командной строкой *\$hello.exe*, на что компьютер ответит:

```
hello, STAMP
```

Теперь осталось откомпилировать ту же программу, но в кодах для ЦПОС Blackfin. Для этого потребуется создать `make`-файл и запустить строку `$make hello`.

В результате на локальной странице появится исполняемый файл *hello*. На этом завершается первый этап тестирования готовности компьютера к программированию ЦПОС Blackfin.

ЗАГРУЗКА ПЕРВОЙ ПРОГРАММЫ В МОДУЛЬ STAMP

Модуль STAMP имеет встроенный последовательный порт, который используется и для подключения консоли. Для эмуляции была использована программа *HyperTerminal*, входящая в стандартный набор Windows. Если у вас эта программа не установлена, вы можете воспользоваться лю-

бой другой терминальной программой (в том числе и программой *ВуVAC*, которую можно найти на поставляемом диске). После запуска программы *HyperTerminal* введите произвольное имя для создаваемого соединения и выберите из списка портов тот, к которому подключена плата STAMP. Пропишите следующие настройки COM-порта:

- скорость (бит/с) 57 600;
- биты данных – 8;
- чётность – Нет;
- стоповые биты – 1;
- управление потоком – Нет.

Чтобы начать сеанс подключения к модулю STAMP, нажмите кнопку сброса на плате. После этого активизируется загрузчик U-Boot. По нажатию любой клавиши (до истечения времени окончания попытки загрузки) загрузчик перейдёт в интерактивный режим и выведет приглашение следующего вида:

```
BOOT>
```

После того как налажено соединение с модулем STAMP через последовательный порт, следует перейти к следующему этапу настройки оборудования – установке локальной сети. Для взаимодействия с платой STAMP потребуется организовать локальную вычислительную сеть с использованием оборудования Ethernet. Плата имеет встроенный сетевой адаптер, поддерживающий скорости передачи 10 и 100 Мбит/с. Если у вас уже есть настроенная сеть такого типа, подключите к ней плату STAMP и скорректируйте настройки платы и программного обеспечения в соответствии с используемыми IP-адресами.

Авторы использовали сеть, состоящую из двух узлов – ноутбука и платы STAMP. Для упрощения настройки и минимизации требуемого оборудования концентратор не использовался – применялся кросс-кабель. За информацией по настройке сетевого интерфейса в операционной системе Windows XP обратитесь к руководству по операционной системе или вашему системному администратору.

Для проверки настроек сети рекомендуется произвести следующую процедуру. В командной строке загрузчика UBOOT введите `ping 192.168.2.5`, где группы цифр соответствуют IP-адресу платы. Если сеть

настроена правильно, результатом будет:

```
Using MAC Address
00:FFFFFFE0:22:FFFFFFE:01:42
host 192.168.2.5 is alive
```

В случае ошибки:

```
Using MAC Address
00:FFFFFFE0:22:FFFFFFE:01:42
ping failed; host 192.168.2.5 is
not alive
```

Заметьте, что шестнадцатеричные числа, указанные после обозначения MAC Address (собственно, MAC-адрес встроенного в плату STAMP сетевого адаптера), будут отличаться для каждой платы STAMP. Для управления загрузкой программ модуля STAMP по локальной сети нам потребуется программа *3CServer*, которую необходимо установить и запустить; затем, войдя в меню SETUP, надо задать конфигурацию служб TFTP и FTP. В первом случае необходимо указать директорию `x:\uClinux\cygwin\usr\uClinux-dist`, где содержится файл операционной системы `vmLinux`, во втором – указать адрес локальной страницы `\x:\uClinux\cygwin\home`.

После нажатия кнопки сброса на плате можно наблюдать процесс загрузки как в окне программы *HyperTerminal*, так и в окне программы *3CServer*. В окне программы *HyperTerminal* появляется приветствие `WELCOME TO CLINUX` и командная строка `/>` с мигающим курсором, в которой следует задать сетевой адрес модуля STAMP:

```
/> ifconfig eth0 inet
192.168.2.5 up <enter>.
```

Теперь можно перейти к загрузке первой тестовой программы *hello*.

Остановимся более подробно на этом этапе работы. Во-первых, мы подключаемся к компьютеру командой `/> ftp<Enter>`, о чём свидетельствует новая командная строка `ftp>`. Однако, чтобы произошло соединение, необходимо выполнить команду `ftp>o 192.168.2.4 <Enter>`, в которой указан IP-адрес компьютера. При запросе пароля и логина следует просто нажимать `<Enter>`. Теперь, когда установлено соединение с компьютером, можно просмотреть директории с подготовленной программой на Си

при помощи команды `ftp> ls`. Если вы увидели программу `hello`, то её необходимо переслать в память модуля STAMP, предварительно задав двоичный формат передачи файла командой `ftp>binary <Enter>`. Пересылка осуществляется командой `ftp> get hello <Enter>`. Чтобы запустить программу, надо переключиться на компьютер командой `ftp>quit<Enter>`. Появляется командная строка `/>` с мигающим курсором, и, чтобы убедиться в наличии программы `hello` в памяти платы, следует набрать команду `/> ls <Enter>`. Прежде чем запустить программу на исполнение (теперь уже в ЦПОС), необходимо получить разрешение командой `/>chmod u+x bello<Enter>`. Запуск программы производится командой `/>./bello<Enter>`. В ответ ЦПОС ответит `Hello, STAMP`.

На этом завершается второй этап освоения программирования ЦПОС Blackfin с использованием аппаратно-программного комплекса, состоящего из компьютера и модуля STAMP.

ПРОГРАММА ОЦЕНКИ ПРОИЗВОДИТЕЛЬНОСТИ ЦПОС

Приведём в качестве примера программирования ещё одну, более сложную программу для ЦПОС Blackfin. Это – программа расчёта числа π методом статистического моделирования (метод Монте-Карло). Выбор этой программы не случаен, поскольку задачи подобного типа требуют для получения точного результата высокой производительности процессора. Данная программа может вызвать интерес и у специалистов, оценивающих производительность ЦПОС.

Применяемые в настоящее время тестовые программы оценки производительности ЦПОС, как правило, основаны на алгоритме БПФ (FFT) с разным числом точек преобразования, поэтому являются детерминированными и не могут характеризовать интегральную эффективность ЦПОС. В предлагаемом авторами тесте числовые случайные величины изменяются в широком диапазоне значений в процессе выполнения, а выходные вероятностные оценки характеристик производительности, например, в виде времени расчёта числа π при выполнении заданного числа испытаний, наиболее полно характеризуют производительность ЦПОС любого типа. По точности расчёта числа π

при большом числе испытаний можно судить и о качестве применяемого компилятора, и об используемых библиотеках применяемых функций. В качестве оценки производительности удобно взять отношение числа испытаний ко времени расчёта числа π . Единицу производительности можно назвать π -stone.

Несколько слов об алгоритме расчёта числа π . В его основе лежит формирование двух независимых случайных величин x и y , распределённых равномерно в диапазоне от -1 до 1 . Каждая пара чисел проверяется на попадание в круг единичного радиуса с центром в начале координат. Фактически рассчитывается площадь круга S , которая, как известно, выражается через искомое число π . Программа расчёта числа π написана на языке Си и легко переносима на любые платформы ЦПОС, так как в ней использованы стандартные библиотечные функции. Датчик случайных чисел [3] оформлен в виде внутренней подпрограммы. Текст программы приведён на сайте журнала.

Подготовленный в редакторе текст программы обрабатывается кросс-компилятором на компьютере и затем, как было показано на примере программы *hello.c*, загружается по сети в модуль STAMP. Запустив программу, необходимо ввести число испытаний (n), после чего будет выведен результат расчёта числа π (π_i), время в секундах, затраченное на эту работу (sec), и введённая нами единица производительности (stn). В частности, для модуля STAMP на процессоре ADSP-BF533 были получены следующие результаты для 1000 испытаний: $\pi_i:3,136$; $sec:0,221742$; $stn:4509,75$. Итак, производительность ЦПОС составила 4509 единиц π -stones.

В заключение хотелось бы отметить, что изложенная методика программирования и отладки программ ЦПОС Blackfin прошла всестороннюю апробацию и показала свою доступность, простоту и эффективность.

ЛИТЕРАТУРА

1. www.analog.com.
2. <http://Blackfin.uclinux.org/>.
3. Бартенев В.Г., Бартенев М.В. Анализ эффективности многоканальной системы с адаптивным порогом на модуле ЦОС STAMP. Цифровая обработка сигналов. 2005. № 4.



Seagate купит производителя флэш-памяти

Ведущий мировой производитель накопителей на основе жёстких магнитных дисков согласился с наметившейся мировой тенденцией перехода на использование устройств хранения данных на основе микросхем флэш-памяти вместо традиционных винчестеров. Подтверждением тому является появившаяся информация относительно возможного приобретения компанией Seagate Technology флэш-бизнеса у одного из чипмейкеров, имеющих опыт в этой области. Что касается конкретных имён и цифр, то в качестве потенциального партнёра Seagate упоминают компанию Intel – за весьма существенную сумму в \$1...2 млрд. производитель винчестеров рассчитывает приобрести 49% акций IM Flash Technologies, совместного предприятия Intel и Micron.

Справедливости ради скажем, что некоторые наблюдатели с изрядной долей скепсиса относятся к возможности столь крупного приобретения Seagate, рассматривая в качестве наиболее вероятного партнёра менее крупных чипмейкеров, например, Hynix и SanDisk. А вот главные лица пока отказались от официальных комментариев, а значит, вся представленная информация может проходить лишь по статье «слухи».

Несмотря на некоторую «несерьёзность» данных, которые пока ничем не подкреплены, тенденция популяризации флэш-накопителей очевидна – если на рынке решений для персональных компьютеров о переходе на SSD-накопители пока говорить рано, то вот в секторе серверных систем и дисковых массивов ситуация иная. Здесь позиции «флэша» сильнее день ото дня, ведь твердотельные приводы выигрывают за счёт своей надёжности, меньшей потребляемой мощности и высокой производительности, а разница в стоимости винчестеров и SSD-накопителей заметно ниже. Другими словами, переплачивая за стоимость одного гигабайта флэш-памяти, компании рассчитывают выиграть за счёт экономии электроэнергии, повышения скорости передачи данных и надёжной работы устройств хранения данных. Среди заинтересованных в широком использовании SSD-накопителей значатся такие крупные производители серверных вычислительных систем, как EMC, Dell, Sun Microsystems, Xitech и др.

Основной причиной, по которой Seagate интересуется именно покупкой

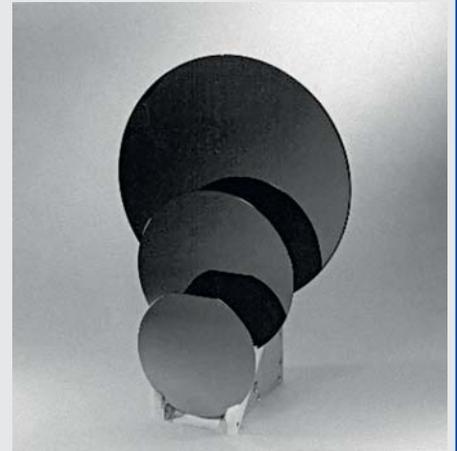
производителя интегральных микросхем флэш-памяти, является необходимость в наличии постоянного источника относительно недорогой флэш-продукции. В этом случае компания получает возможность не только выпускать разнообразные SSD-накопители в достаточных объёмах для удовлетворения растущего спроса на данный тип товаров, но и в случае необходимости проводить агрессивную ценовую политику, – рынок твердотельных устройств хранения данных является очень перспективным, и ни один производитель не отдаст свой кусок «пирога» без боя. То есть главной на сегодня интригой остаётся не сама возможность покупки Seagate одного из чипмейкеров, а какой конкретно производитель будет выбран в качестве главного стратегического партнёра.

3dnews

Toshiba переходит на 300-мм кремниевые пластины

Японская компания Toshiba остаётся одним из самых крупных мировых производителей интегральных микросхем, но эта роль требует постоянной модернизации собственных производственных мощностей, которые должны выпускать продукцию по всё более низкой себестоимости. Особенно это касается рынка интегральных микросхем флэш-памяти, переживающим не самые лучшие времена в связи с постоянным снижением стоимости микрочипов, а значит, снижением прибыльности флэш-бизнеса. Именно поэтому в ближайших планах компании Toshiba значится переход на использование 300-мм кремниевых пластин вместо 200-мм.

Обе процедуры – снижение доли оборудования, работающего с 200-мм «полуфабрикатом», и повышение количества 300-мм станков – идут в параллельном режиме. Так, согласно самым свежим данным, компания Toshiba планирует сократить объёмы выпуска полупроводниковой продукции, выпускаемой на мощностях фабрики Yokkaichi Operations из 200-мм пластин, на 60%. Но полностью отказываться от соответствующего оборудования не планируется – на нём будет изготавливаться целый ряд специализированных микросхем, в частности, MCP-решения (Multi-Chip Package – объединение в одном корпусе нескольких кристаллов интегральных микросхем).

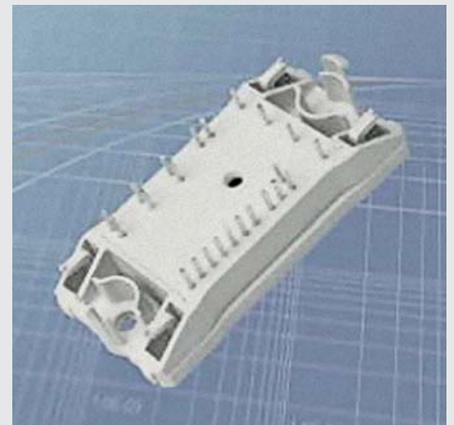


Сообщается, что основным поставщиком аппаратуры является компания FlashVision, которая затем используется как на фабрике Yokkaichi Operations, так и на ряде иных заводов, принадлежащих Toshiba. Ставшее ненужным оборудование просто продаётся заинтересованным компаниям.

3dnews

Модули преобразователей солнечной энергии

Фирма Vincotech, бывшее подразделение электронных модулей компании Tусо Electronics, представляет четыре семейства модулей для приложений преобразователей солнечной энергии. Модули пере-



крывают диапазон мощности от 2 до 6 кВт (400 и 800 В) и поддерживают как изолированные, так и неизолированные приложения. Для неизолированных инвертеров в распоряжении имеется одномодульное решение с интегрированным повышающим преобразователем и полным выходным мостом. Изолированное решение состоит из двух модулей и обеспечивает возможность использования компактных высокочастотных преобразователей. Все модули предлагаются в корпусе flow0 размером 66 × 33 × 17 мм.

www.vincotech.com